
超低消費電力型光エレクトロニクス実装システム
技術開発プロジェクト
－デバイス・実装基盤技術－

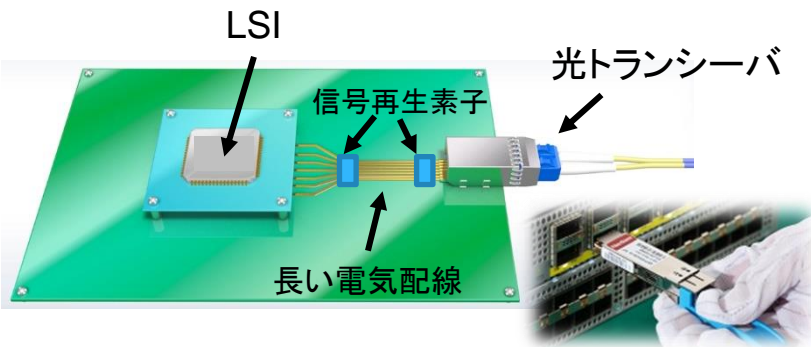
2022年2月10日

技術研究組合光電子融合基盤技術研究所
中村 隆宏

光電子集積インターポーザの必要性

- 10Tbpsを可能にするには光電子集積インターポーザが必要
- 特に、光実装技術、光接続技術が大きな課題

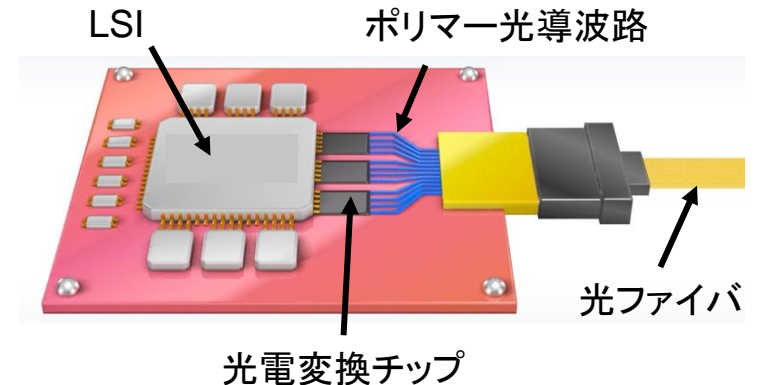
光トランシーバ(従来方式)



- ☹️ 長い電気信号配線(～50cm)
→ ノイズ、遅延などによる信号劣化
- ☹️ 信号再生素子が必要
→ 消費電力増
- ☹️ コネクタ数増大
→ コスト増

LSIの外部I/O : 数Tbps程度で限界

光電子集積インターポーザ

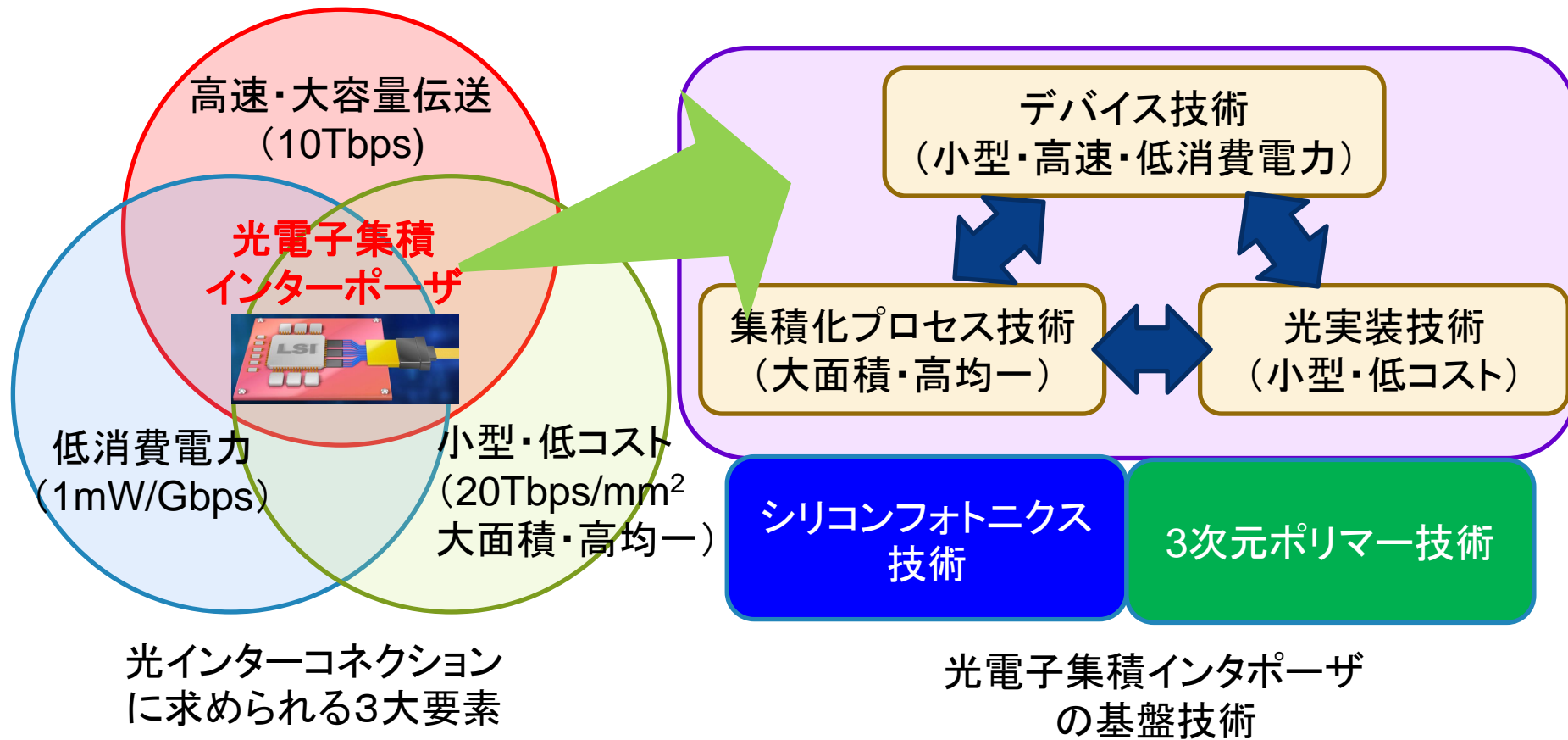


- 😊 短い電気配線(<50mm)
→ 高速信号伝送可能
- 😊 信号再生素子が不要
→ 低消費電力
- 😊 光再配線
→ コネクタ数減によるコスト低減
- ☹️ 光実装技術、光接続技術が未成熟

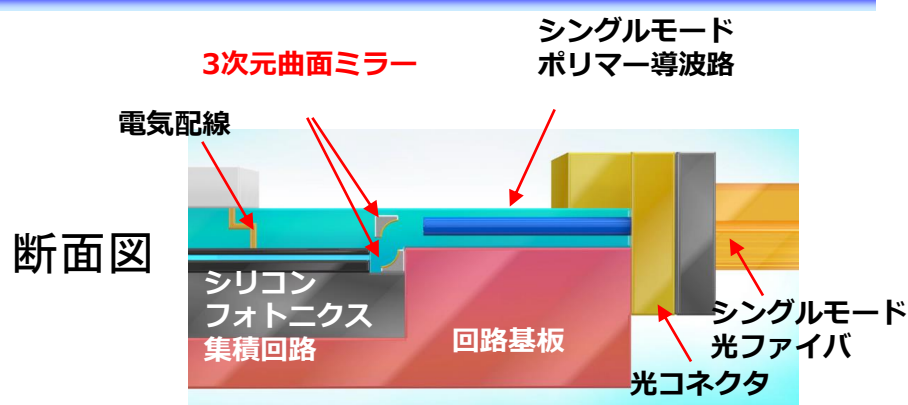
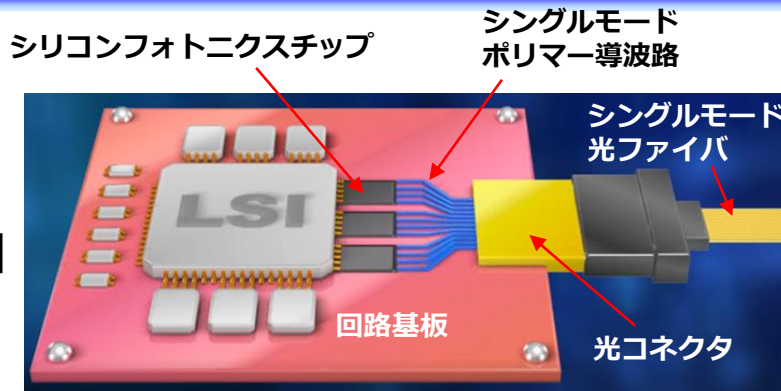
LSIの外部I/O : 10Tbps以上可能

光電子集積インターポーザの基盤技術

- 光電子集積インターポーザは、大容量伝送のみでなく、低消費電力、小型・低コストも同時に求められる
- これら全要素を満たす基盤技術(デバイス、集積化プロセス、光実装)を開発する



10Tbps達成の内訳とデバイス・実装技術開発目標



光電子集積インターポーザ

1 シリコンフォトニクスチップ当たり 112Gbps × 16波 × 送受(2) = **3.6Tbps**



1 LSI当たり 3シリコンフォトニクスチップで、 3.6Tbps × 3 ≒ **10Tbps**

第一期の技術目標

第二期の技術目標

第三期の技術目標

| | 高速デバイス | 25Gbps/Si変調器 | 50Gbps/PAM4 | 112Gbps/56GBaud+PAM4 |
|---------------|------------------|---|------------------------------|--|
| デバイス・プロセス技術開発 | 低電力デバイス | 5mW/Gbps /Si変調器 | 3mW/Gbps / 高性能材料(SiGe)変調器 | 1mW/Gbps / 小型電界吸収型SiGe変調器 |
| | 波長多重デバイス | 4波長/アレイ導波路型 回折格子(AWG)(素子) | 8波長/AWG(素子) | 16波長/AWG+バンドパスフィルタ (集積回路) |
| 実装技術開発 | 光の入出力 (広帯域密度) | 10μmレベル目合わせ精度/ グレーティングカップラ+縦型ポリマー導波路 (0.5Tbps/mm ²) | | 1μmレベル目合わせ精度/ 3次元ミラー+横型ポリマー導波路 (20Tbps/mm ²) |
| | 電気配線構造 | 平面構造 | | インターポーザ構造 |

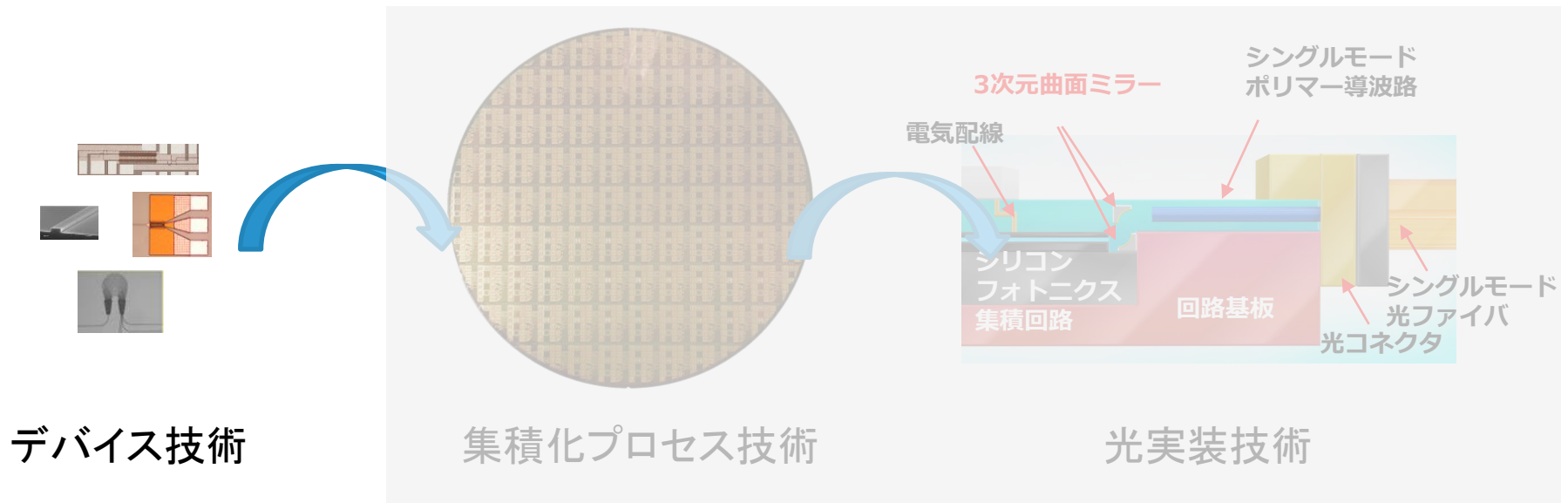
デバイス・実装基盤技術の開発計画

中間評価

最終評価



デバイス技術

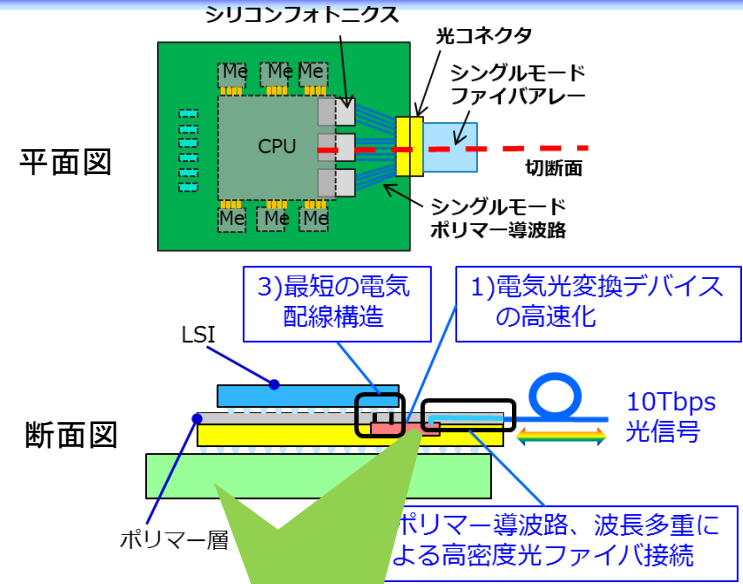


デバイス技術の開発目標

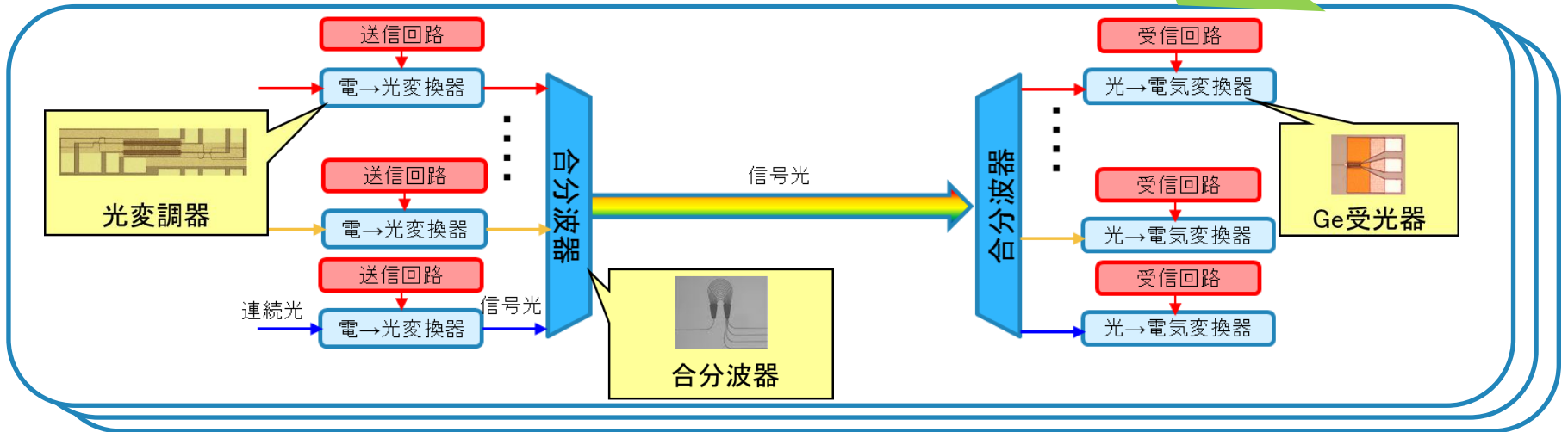
デバイス技術

最終目標:

- ・112Gbps光素子・電子回路基本動作
- ・16波長合分波した光信号のシングルモードファイバ伝送
- ・1mW/Gbps以下の素子特性



超小型・大容量波長多重(WDM)光回路



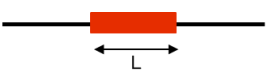
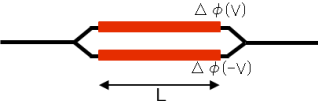

$$3.6\text{Tbps} (112\text{Gbps} \times 16\text{波} \times \text{送受}) \times 3\text{チップ} \doteq 10\text{Tbps}$$

光変調器・受光器のアプローチ

デバイス技術

- 波長多重によるスケーリング可能、且つ、低消費電力・高速伝送を実現する光変調器・受光器を開発
 - ⇒ 小型・低容量のGeSi電界吸収(EA)型光変調器／受光器が有利
 - 特徴として、狭幅選択Ge成長を用てC、L帯波長を1チップ集積化可能(13Tbps以上)

Si光変調器の比較

| | GeSi電界吸収 (EA)型光変調器 | Siマツハツエンダー(MZ) 型光変調器 | Siリング型光変調器 |
|-------|---|--|---|
| |  |  |  |
| サイズ | ~50μm | >1mm | ~5μm |
| 高速性 | ~100Gbps | ~90Gbps | ~56Gbps |
| 消費電力 | <1mW/Gbps | <3mW/Gbps | <1mW/Gbps |
| 温度依存性 | 25~85°C | 温度無依存 | <1°C (温調必須) |
| WDM帯域 | C,L帯 | 波長無依存 | <1nm (温調必須) |

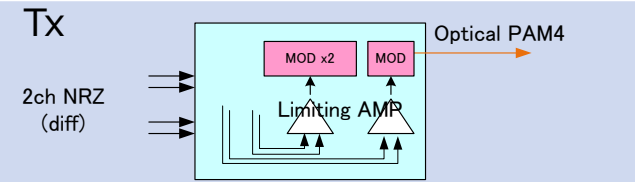
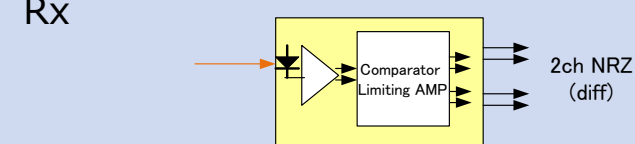
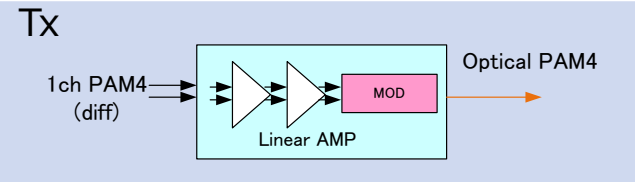
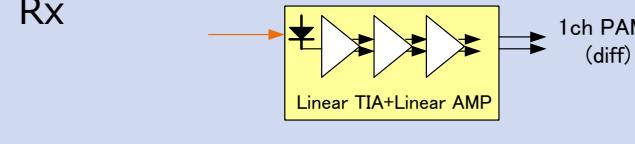
第3期

第1,2期

光変調器・受光器の駆動電子回路のアプローチ

デバイス技術

- 112Gbps PAM4のTx/Rxの方式とIC構成を検討
- 小型化、低消費電力化には電気でPAM4(Type2)が有利
→実証コストの点からSiGe-BiCMOSが有利
- PAM4に必要なLinear AMPの112Gbps PAM4動作を回路設計・試作にて検証

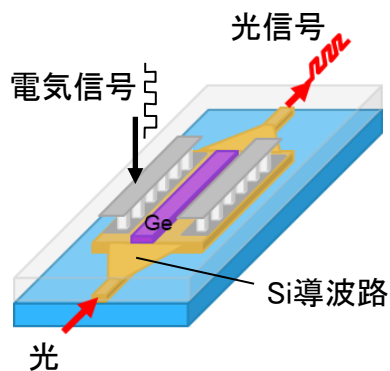
| | Type1: 光でPAM4 | Type2: 電気でPAM4 |
|------|---|---|
| | <p>Tx</p>  <p>Rx</p>  | <p>Tx</p>  <p>Rx</p>  |
| サイズ | <p>×</p> <p>I/Oが2倍必要かつMODとDRVも2倍になるため</p> | <p>○</p> <p>(Type1の約1/2)</p> |
| 消費電力 | <p>×</p> <p>2つのMODを駆動するDRVが必要</p> | <p>○</p> <p>(Type1の約1/2)</p> |

112Gbps PAM4のTx/Rx方式

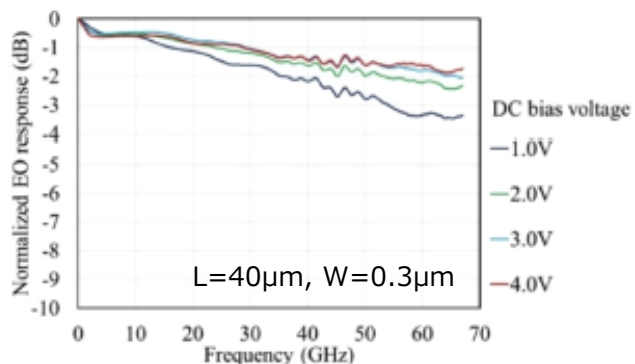
高速光変調器

デバイス技術

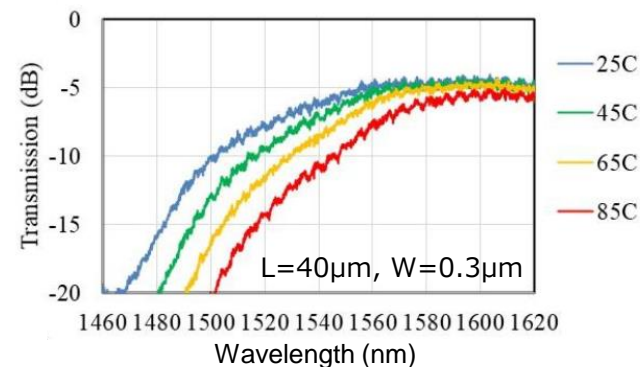
- ドーピングと素子形状最適化により70GHz以上の周波数帯域、56Gbpsアイ波形確認
- 高温85°Cにおいても56Gbps動作可能
- 112Gbps-PAM4電気信号での直接駆動により光信号出力を実証



GeSi-EA光変調器構造

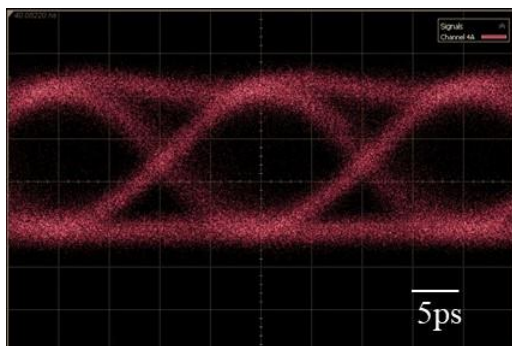


EO周波数応答特性



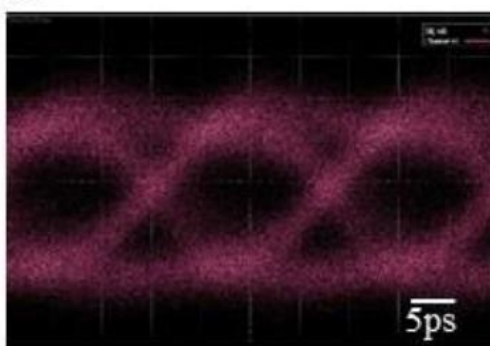
光透過特性の温度依存性

56Gbps NRZ (PRBS $2^{31}-1$)アイ波形 @25°C



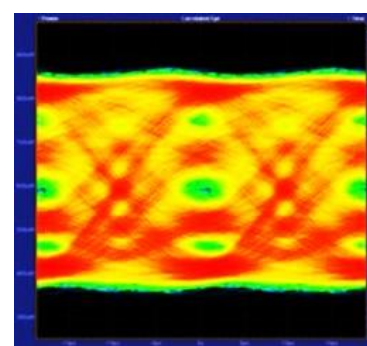
ER=3.2dB, IL~4dB @2.5Vpp
L=40 μ m, W=0.3 μ m

@85°C



ER=2dB, IL~8dB @2.5Vpp
L=40 μ m, W=0.3 μ m

112Gbps-PAM4アイ波形@25°C

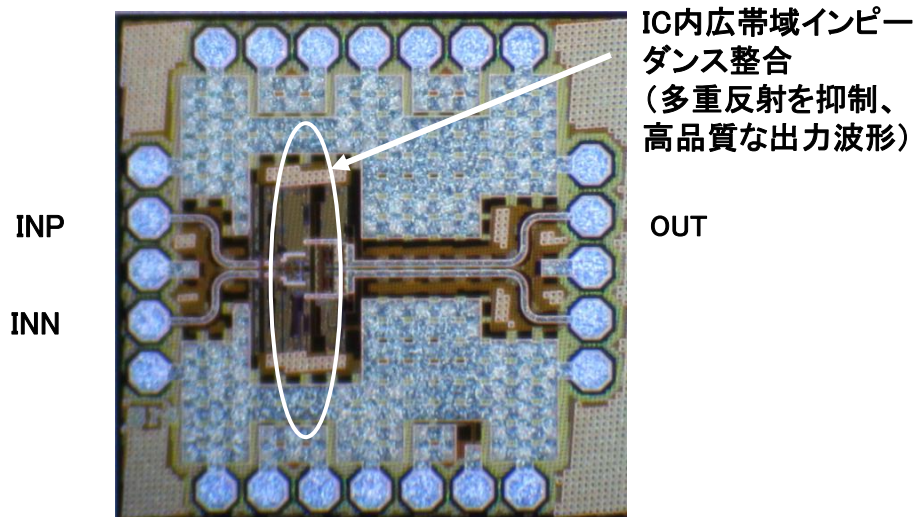


TDECQ 1.69 dB (PRBS $2^{13}-1$)

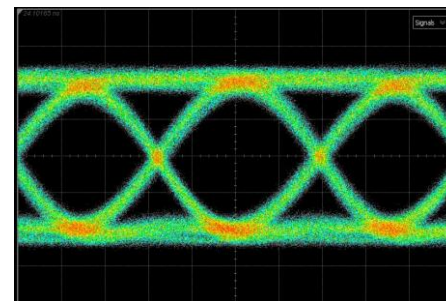
光変調器ドライバー

デバイス技術

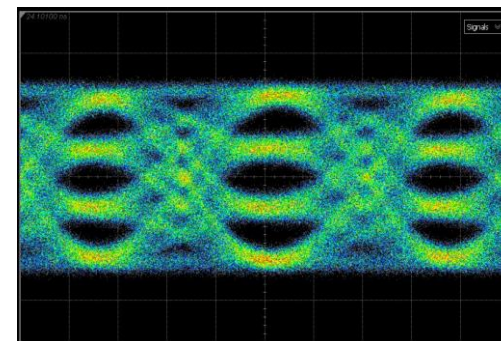
- 電界吸収型光変調器ドライバーを試作・評価
 - 最先端SiGe-BiCMOSプロセスを用いて、高線形動作回路設計により、56Gbps NRZ、112Gbps PAM4の電気出力波形を確認
 - 高振幅・低ジッタ化回路を設計し、2Vppを達成



電界吸収型光調器ドライバーチップ写真



56Gbps NRZ出力波形
単相振幅 1Vpp(50Ω 終端)



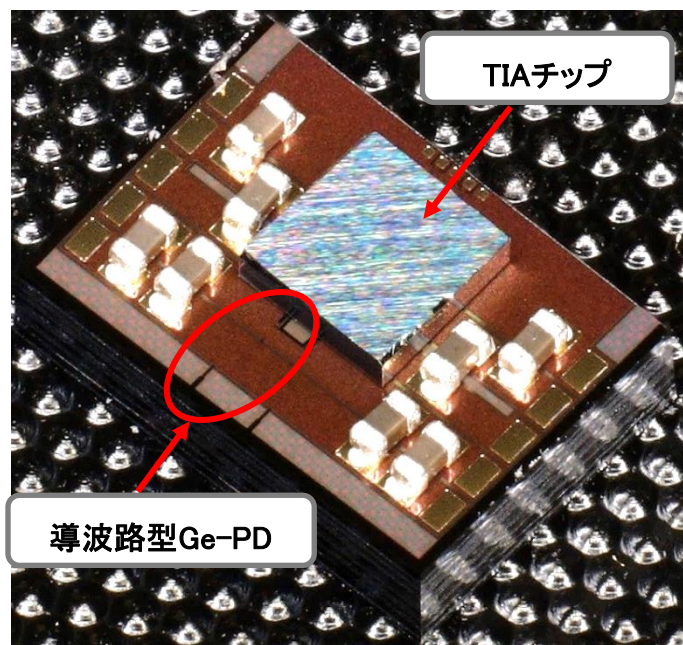
112Gbps PAM4出力波形PN31
単相振幅 1Vpp(50Ω 終端)、光変調器負荷で2Vpp

電界吸収型光変調器ドライバーを試作・評価し、112Gbps PAM4の出力波形を確認

受光器トランスインピーダンスアンプ(TIA)

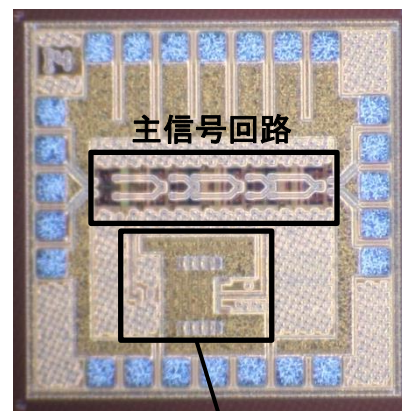
デバイス技術

- SiGe-BiCMOSで試作したTIAと導波路型Ge-PDをFlip Chip実装してRxを作製
- 56Gbps NRZ及び112Gbps PAM4光入力の実験結果を評価
 - Single-PD方式TIA搭載Rxで良好な56Gbps動作を実証
 - 更に、112Gbps PAM4の出力波形を確認

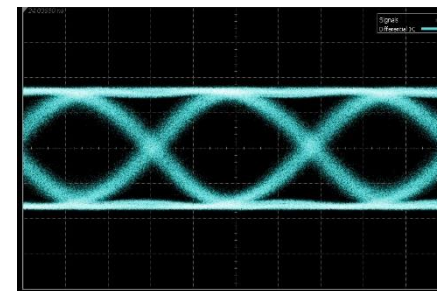


Single-PD方式TIA搭載RX

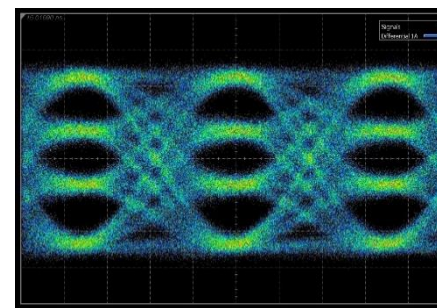
Single-TIAチップ写真



CMOS DCフィードバック回路



56Gbps RX出力波形



112Gbps PAM4 RX出力波形
 $I_{PD}=410\mu A_{pp}$

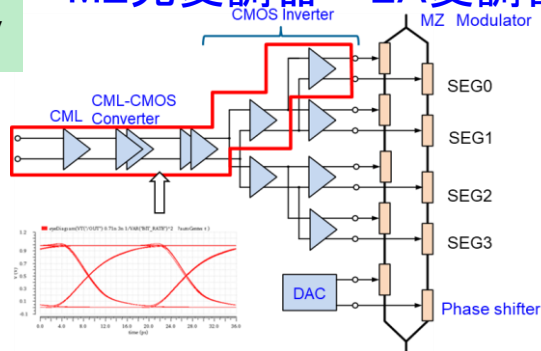
TIAを試作・評価し、Flip Chip実装したRxで良好な56Gbps及び112Gbps PAM4動作を実証

CMOSを用いた1mW/Gbps低消費電力化

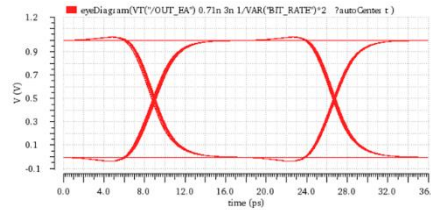
デバイス技術

- CMOSの設計環境を構築。22/12nm CMOSのPDK入手
 - DRVの出力段CMOS Inverter構成で消費電力の解析
- MZ光変調器→EA変調器、SEG数4→1、駆動振幅1.8→1Vpp

DRV



25Gbps光I/OコアのDRVブロック図

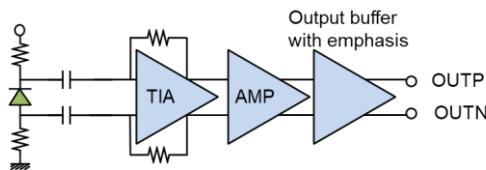


56Gbps EA変調器DRV
出力波形 1Vpp

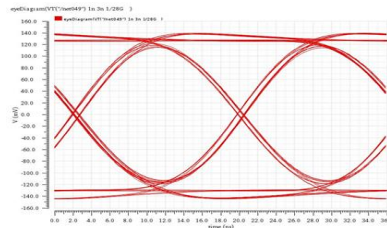
| 25Gbps MZ変調器DRV (28nm) | 56Gbps EA変調器DRV (22nm) |
|------------------------------|------------------------------|
| 2.15mW/Gbps | 0.27mW/Gbps |

- 22nm CMOS (SOI) のPDKで、56Gb/s TIAの解析
- AC Coupling方式3段で、動作速度56Gbps、消費電力36.7mWを解析で実現

TIA



22nm CMOS TIAブロック図



56Gbps TIA
出力波形 差動480mVpp

| 25Gbps TIA (28nm) | 56Gbps TIA |
|-------------------------|---------------|
| 3.52mW/Gbps | 0.66mW/Gbps |

22nm CMOSを用いて1mW/Gbpsを解析し、DRVで0.27mW/Gbps、TIAで0.66mW/Gbps、DRV+TIAで1mW/Gbpsの低消費電力化を達成

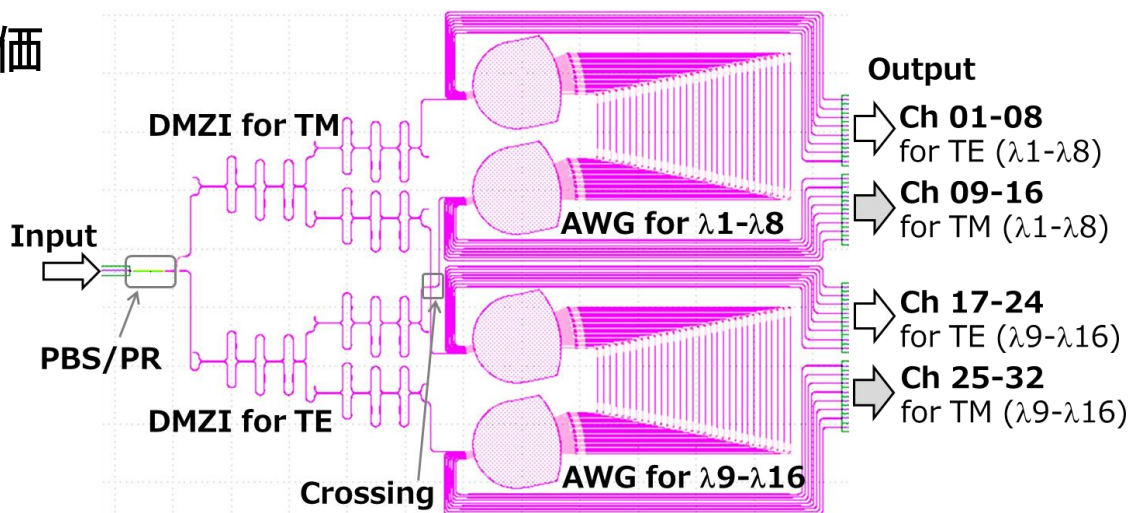
波長多重光回路

デバイス技術

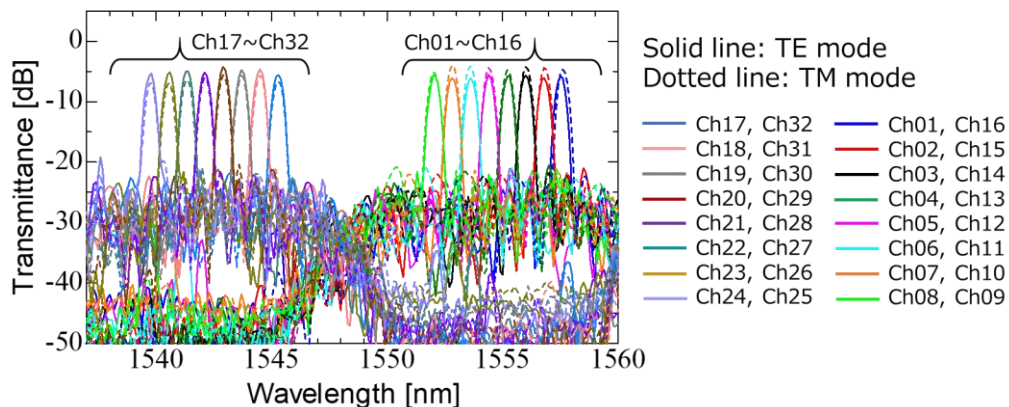
16λ 波長多重回路の構造図

16λ 波長多重回路を作製・評価

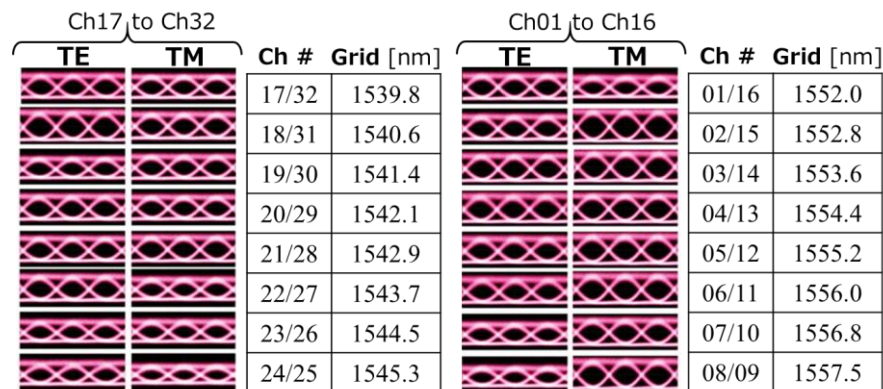
- 受信向け任意偏波対応
- 動作波長: Cバンド帯域
- シリコン細線型パッシブデバイス
- サイズ: 1.7 × 2.8 mm²
- 信号対クロストーク/チャネル
 - ✓ 8λ-AWG内: -20~-24dB
 - ✓ 2λ-DMZI内: -26~-34dB



16λ 波長多重回路の計測スペクトル特性



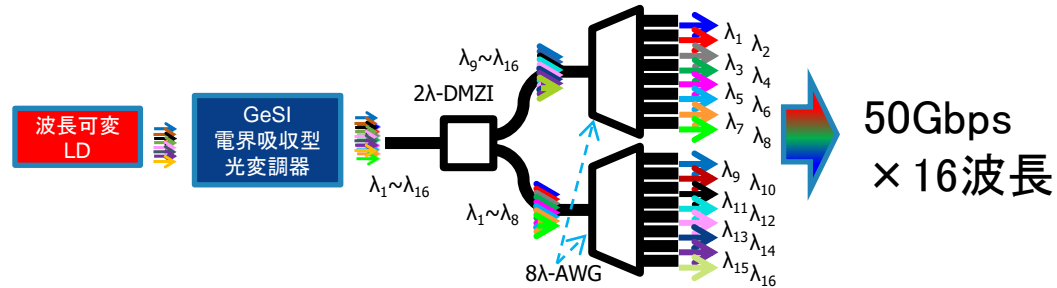
32Gbps NRZ変調信号の伝送特性



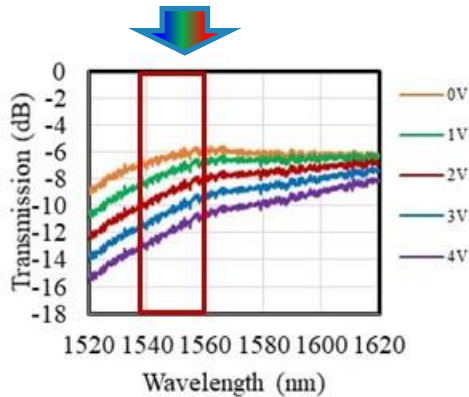
任意偏波の16波長のWDM光信号を合分波可能な小型波長多重回路を実証

高速光変調器 + 16波長多重光回路

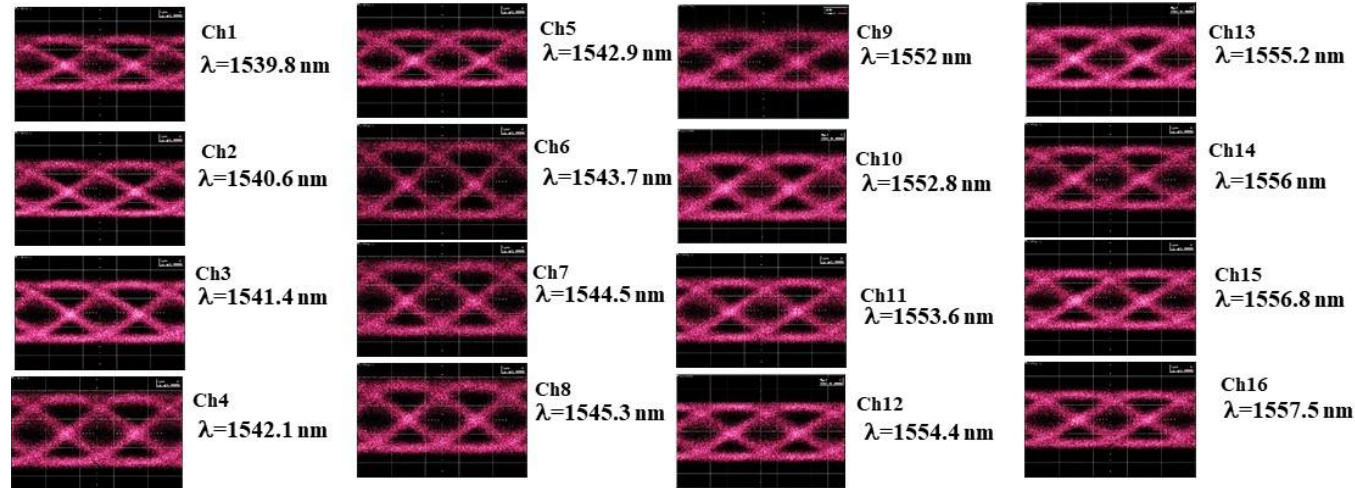
デバイス技術



Cバンド波長帯



SiGe光変調器の透過スペクトル
($L=60\mu\text{m}$, $W=0.3\mu\text{m}$)



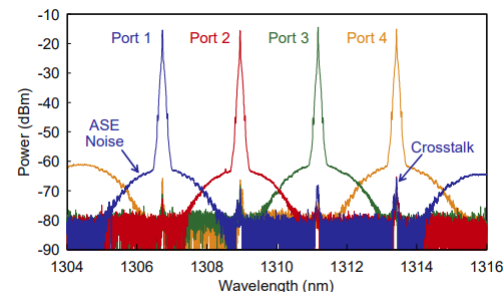
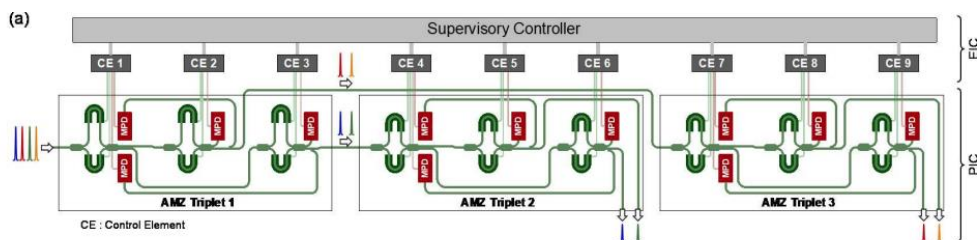
50Gbps x 16波長 アイパターン
消光比4~4.4dB@2.5Vpp

GeSi電界吸収型光変調器を用いて、50Gbps動作 x 16波長動作@Cバンド波長帯を実証

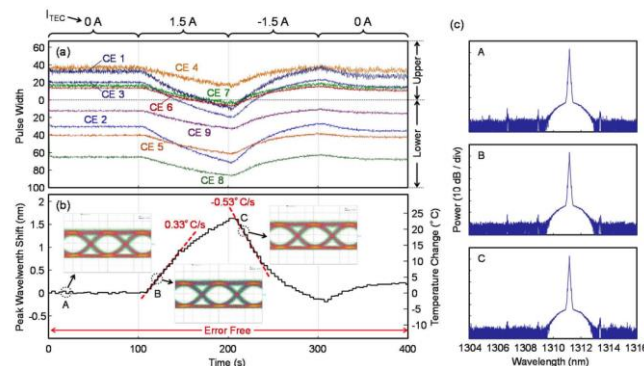
次世代温度耐性波長多重光回路

デバイス技術

- 非対称マッハツェンダーに光モニタとヒーターによるフィードバック制御を導入し位相エラーを自動訂正。クロストーク-50~-60dB@4波長を実現。（シミュレーションでは64波長可能）
- 更に、温度変化に対しフィードバック制御可能な電子回路を集積した耐温度・クロストークフリーの波長多重光回路を実現
- 急激な温度変化（少なくとも $0.53^{\circ}\text{C}/\text{s}$ ）に対して4ch 25Gbps信号で各波長分波後、エラーフリーを実現



各波長の光出カスペクトル



温度変化に対する光出カスペクトル及びアイパターンの変化

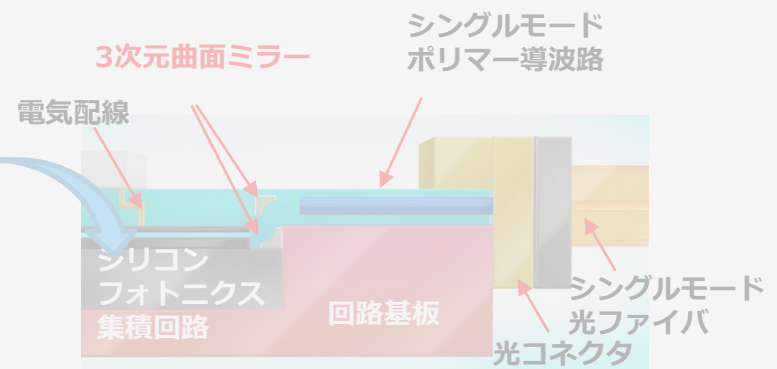
GAT (Cascaded AMZ Triplets) 構造を持つ波長分波回路と電子制御回路

集積化プロセス技術

デバイス技術

集積化プロセス技術

光実装技術



集積化プロセス技術の開発目標とアプローチ

集積化プロセス技術

最終目標: 10Tbps/ノード光電子集積インターポーザに向けた集積プロセス構築
シリフォト集積プロセス技術の300mm一貫試作ファンドリへの展開

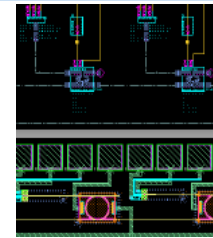
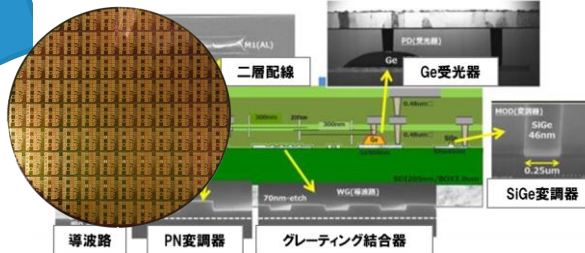


アプローチ: シリフォト統合化集積プロセス & 設計・プロセス統合ライブラリ技術確立

性能・歩留まり予測

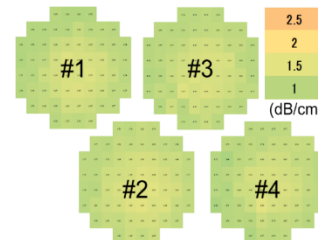
シリフォト統合化集積プロセス

設計・プロセス統合ライブラリ



デバイスパラメータ
プロセスばらつき

光ウェーブローバによる検証



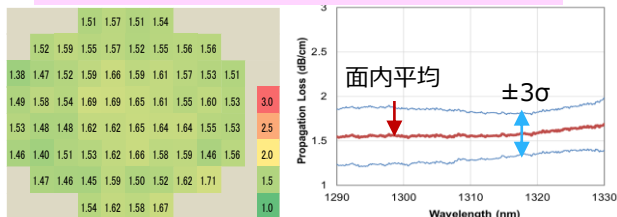
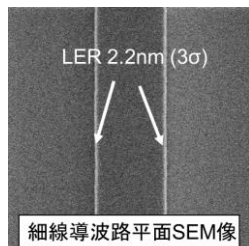
10Tbps/ノード可能性実証試作

集積化プロセス技術

10Tbps/ノードの高速光回路に集積される高機能光素子の特性改善・動作検証

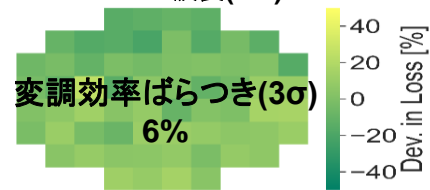
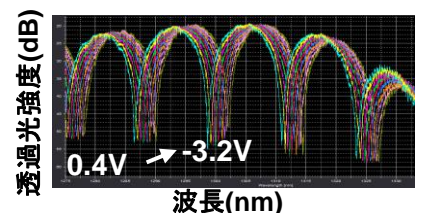
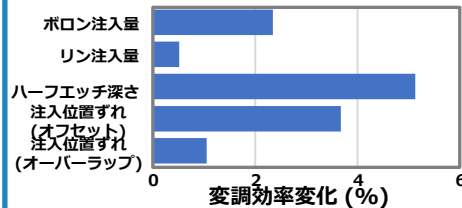
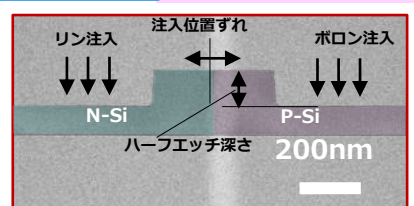
細線導波路

導波路側面ラフネス低減による
世界最高の低損失導波路



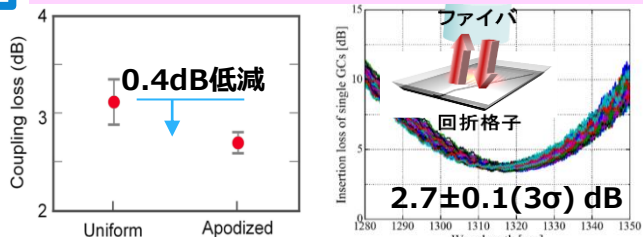
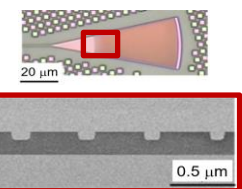
変調器

プロセス感度解析に基づく変調器特性均一化



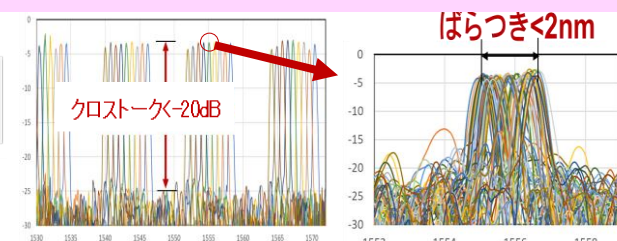
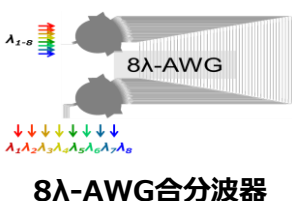
光結合素子

高精細アポダイズによる結合損失低減



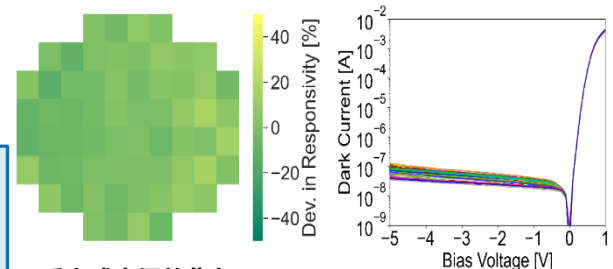
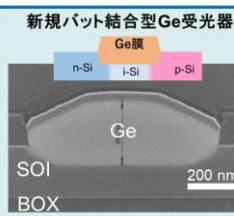
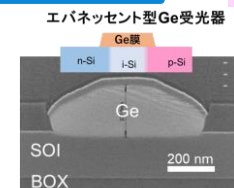
合分波素子

低クロストーク・低ばらつきのフィルタ特性



受光器

新規バット結合構造による高感度化



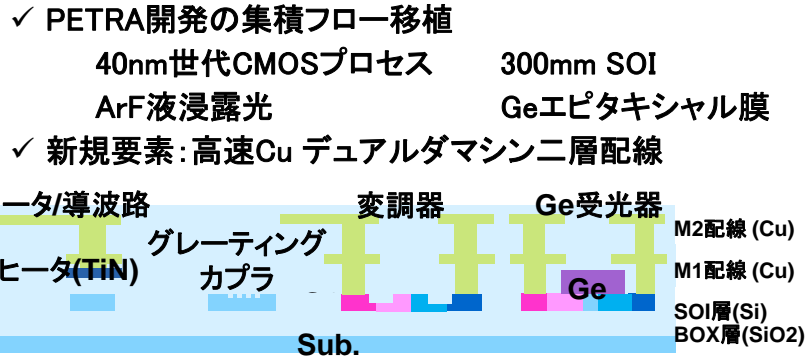
受光感度偏差分布
@ -3 V, $\lambda = 1565\text{ nm}$

300mm一貫ファンドリへの展開

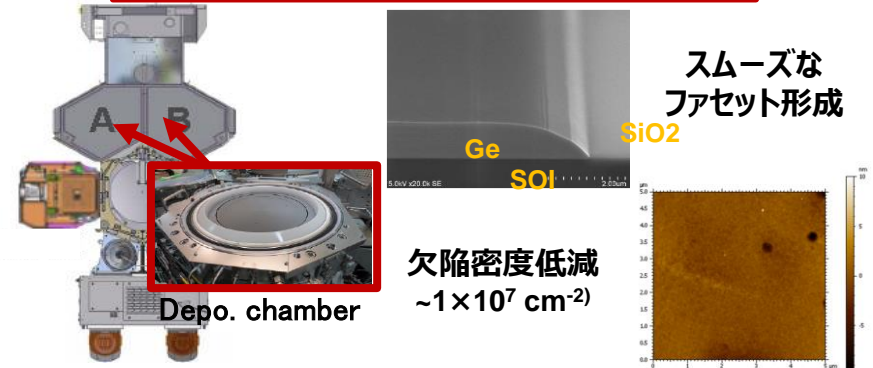
集積化プロセス技術

ファンドリにおいて集積プロセスを構築、集積デバイス動作の検証を完了

集積プロセス構築

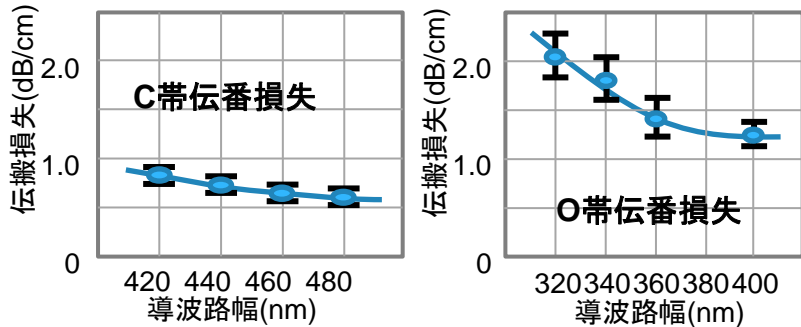
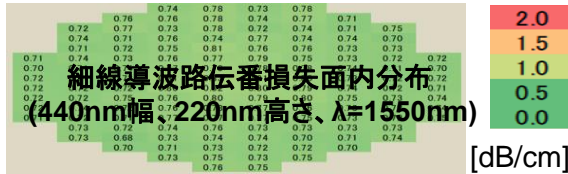


Ge装置移設・プロセス最適化



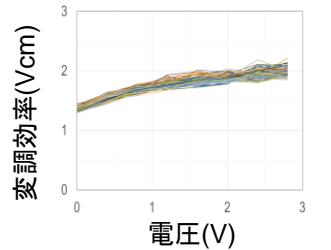
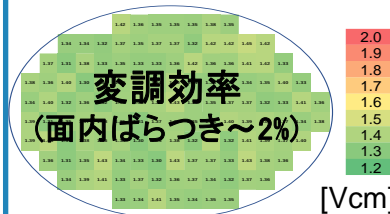
細線導波路

プロセス最適化
(ラフネス低減)
⇒ 低損失特性再現



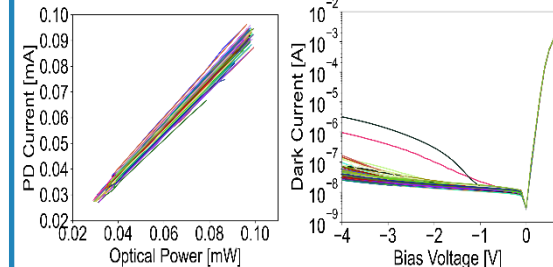
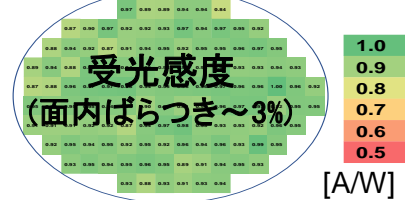
伝番損失の導波路幅依存性

変調器



変調効率の電圧依存性

受光器



感度vs.光強度

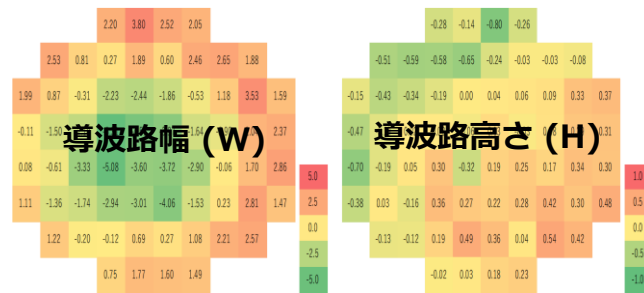
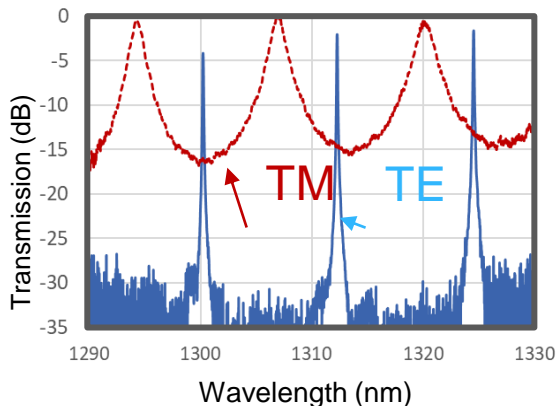
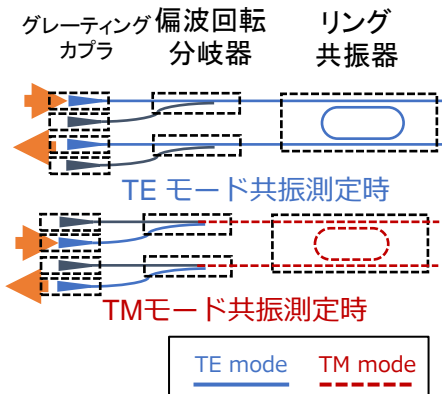
暗電流特性

評価解析 -パラメータ抽出手法、デバイスモデル-

集積化プロセス技術

高精度パラメータ抽出手法

リング共振器と偏波回転分岐器からなるモニタリング回路を用い、TEとTMの共振ピークを抽出に利用導波路寸法シフトを高精度抽出(誤差:従来比 1/100)

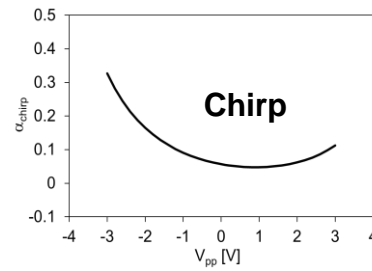
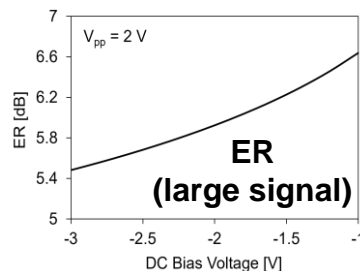
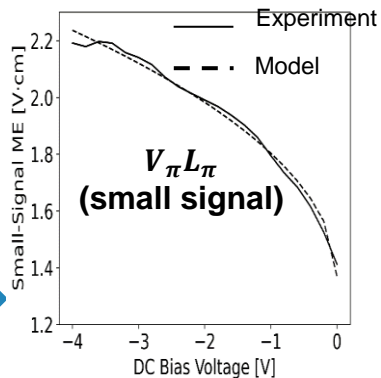
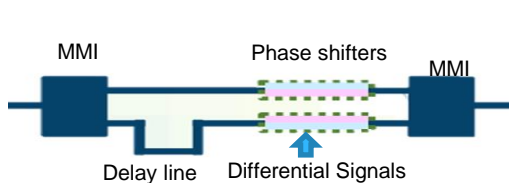


[Horikawa, ECOC2020]

PN-MZI型変調器コンパクトモデル

変調効率と吸収損失の非線形性を定式化

動作パラメータ(消光比、チャープ、変調信福等)を導出



$$V_{\pi} L_{\pi}(V) = k_{ME} + \beta_{ME}^{-1} \sqrt{V + \alpha_{ME}}$$

$$\text{Im}(n_{\text{eff}}(V)) = k_A + \beta_A^{-1} \sqrt{V + \alpha_A}$$

PRBS信号入力時の消光比およびチャープ係数(モデル計算)

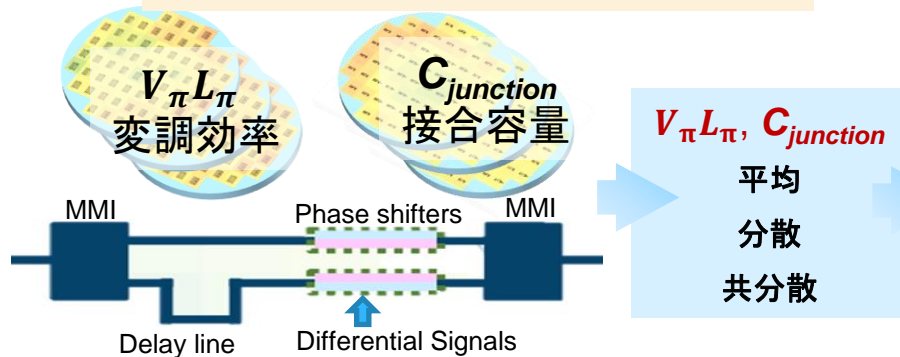
[Murao, Opt. Commun. (2021)]

ばらつきモデルを用いた高精度デバイス・回路設計

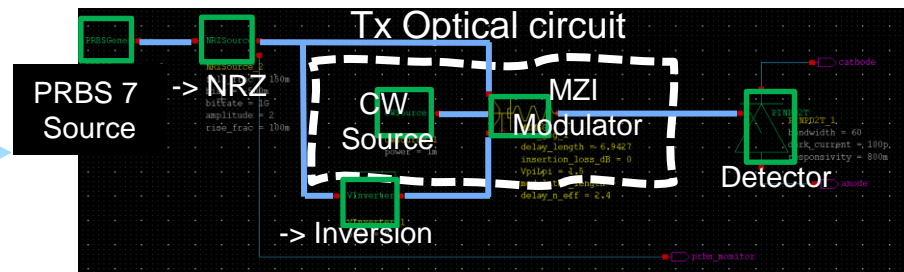
集積化プロセス技術

ばらつきモデルを用いたトランシーバ設計検証

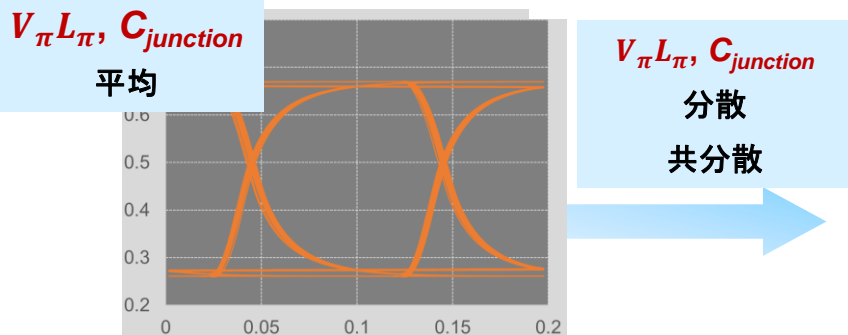
デバイスモデル、ばらつきモデルによる
パラメータ抽出



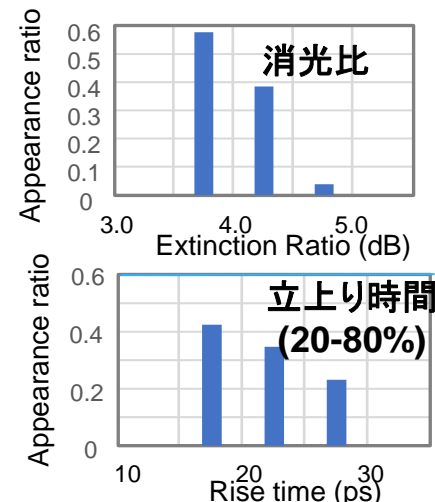
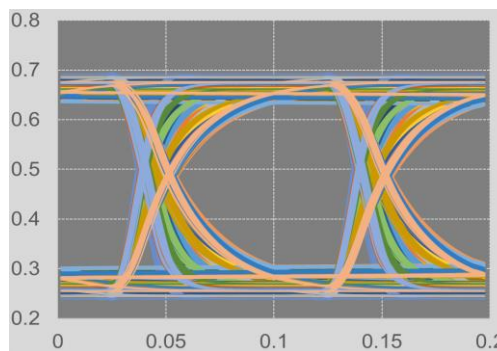
ライブラリパラメータを用いたTx回路設計



パラメータ平均値を用いたシミュレーション



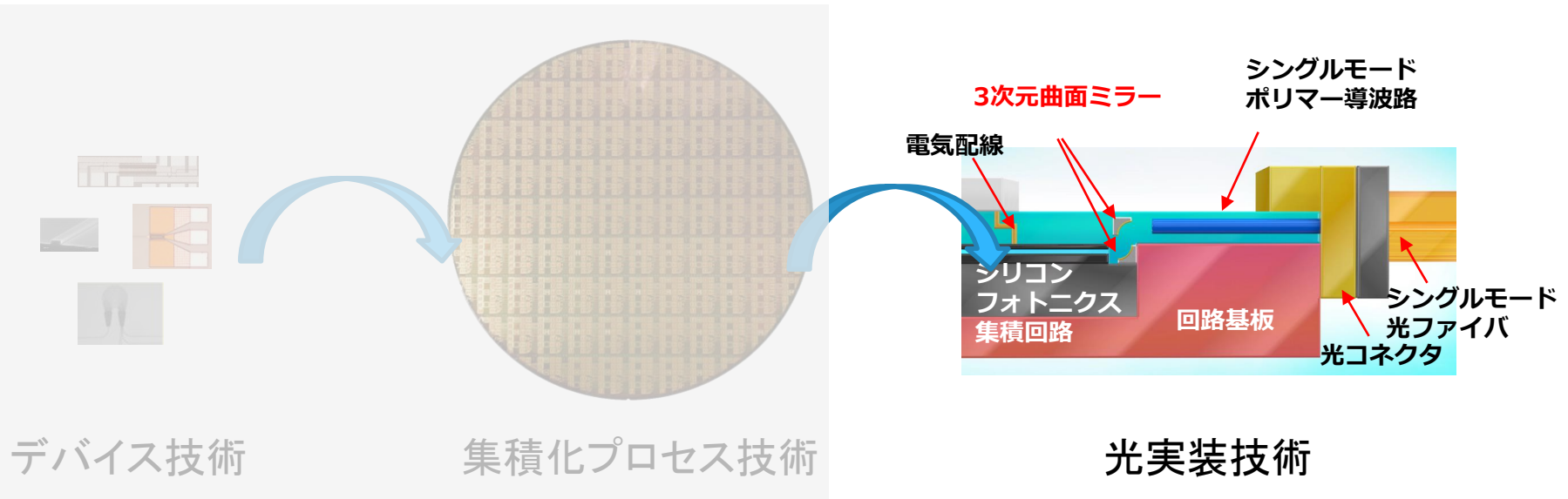
モンテカルロシミュレーション



設計・プロセス・検証のリンケージによる
高精度の光回路設計・プロセスプラットフォームを確立

$V_{\pi}L_{\pi}, C_{junction}$ を確率乱数により変化させ多数回のシミュレーションを試行

光実装技術



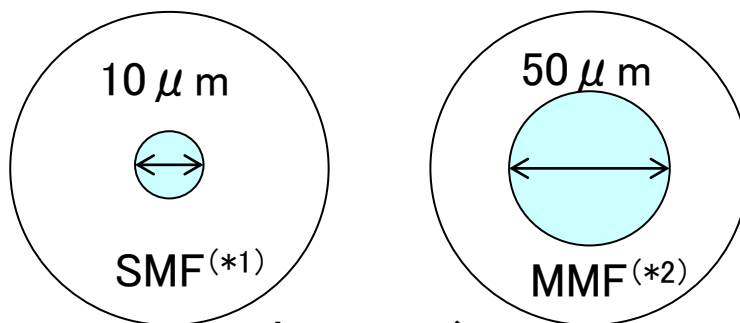
シリフォト実用化の大きな課題： 光の入出力

光実装技術

導波路と光ファイバの断面比較

0.4 μm

シリフォト
導波路



光ファイバ

サブ μm のシリフォト導波路を10 μm 以上の光ファイバに低コスト接続可能か課題

従来技術

- 光信号を測定し、最適位置で固定するアクティブ調芯を適用
- SMF接続はサブ μm の位置制御が必要
⇒時間がかかり高コスト

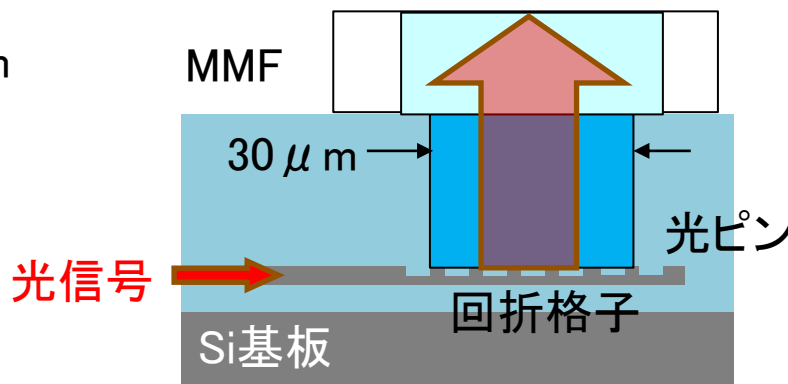
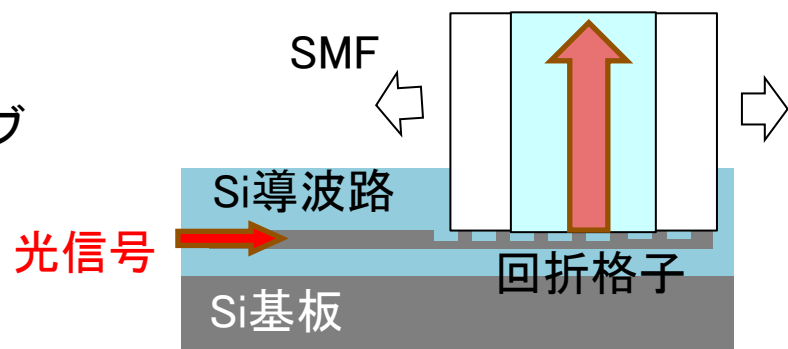
1、2期(光I/Oコア)開発技術

- 光ピン(縦型ポリマー導波路)で光の幅を30 μm に広げMMFに接続
(目合わせ精度10 μm レベル⇒パッシブ実装)
- 光ピンは半導体プロセスと同じ露光技術形成

(*1): シングルモードファイバ

(*2): マルチモードファイバ

光ファイバ調芯で位置合わせ



光実装技術の開発目標

光実装技術

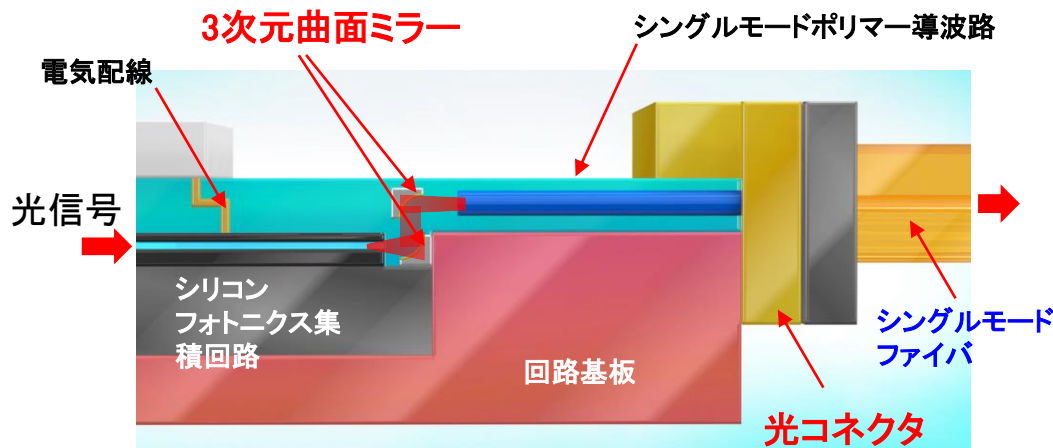
最終目標:

- ・16 波長多重に対応した波長偏波無依存な曲面ミラーをシリコンフォトニクスに集積
- ・上下曲面ミラーの高密度光結合 $20\text{Tbps}/\text{mm}^2$ を実現
- ・光コネクタ用位置決め構造の高精度化と高精度実装技術を確立し、12芯光接続技術を実現
- ・マルチチップ実装技術、再配線技術、放熱構造技術を確立

10Tbps/ノード広帯域化実現に向け、波長多重技術を導入するため、

シングルモードファイバの入出力が必須

⇒高性能な高密度光結合($20\text{Tbps}/\text{mm}^2$)を実現するために3次元曲面ミラーを導入し
安価なパッシブ実装でシングルモードファイバを実装する



【特徴】

- 接続スペースの最小化
- 光コネクタ数の低減と回路基板への固定

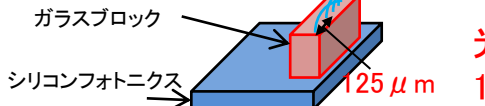
光実装技術のアプローチ、特徴技術

光実装技術

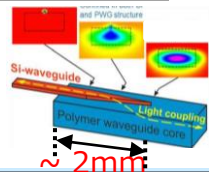
高性能な高密度光結合を実現するために新しい光結合手法(曲面ミラー)を提案

| | グレーティング | アディアバティック | 曲面ミラー(PETRA) |
|----------------|-------------------------|--------------------------|------------------------------|
| 光リンク (実装方式) | ファイバダイレクト (アクティブ実装) | ポリマー導波路 (パッシブ実装) | ポリマー導波路 (パッシブ実装) |
| シリフォト結合器 | グレーティング | アディアバティック | 曲面ミラー |
| 光結合面積 | △ ~10 mm ² | ○ ~2 mm ² | ◎ ~ 0.15 mm ² |
| IO密度 @100G/λ | △ ~80 G/mm ² | ○ ~600 G/mm ² | ◎ ~ 20T/mm ² @16λ |
| 光結合損失 | ○ ~ 2 dB | ○ ~ 1.5 dB | ○ 目標< 1.5 dB |
| 波長無依存 | × | ○ | ○ |
| 偏波無依存 | 2D : ○, 1D : × | ○ | ○ |

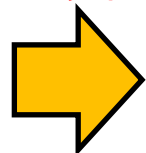
グレーティング



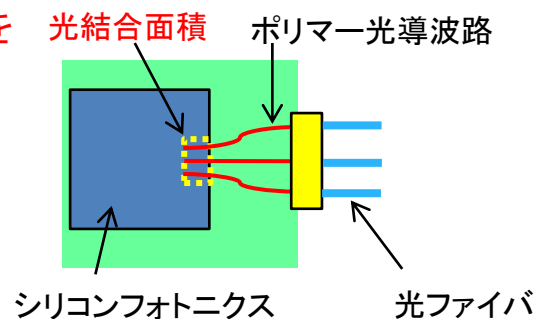
アディアバティック



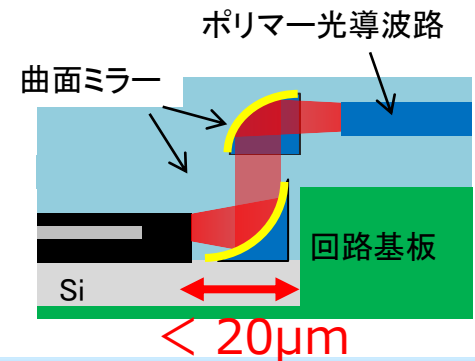
光結合面積を
1/50以下！



本提案



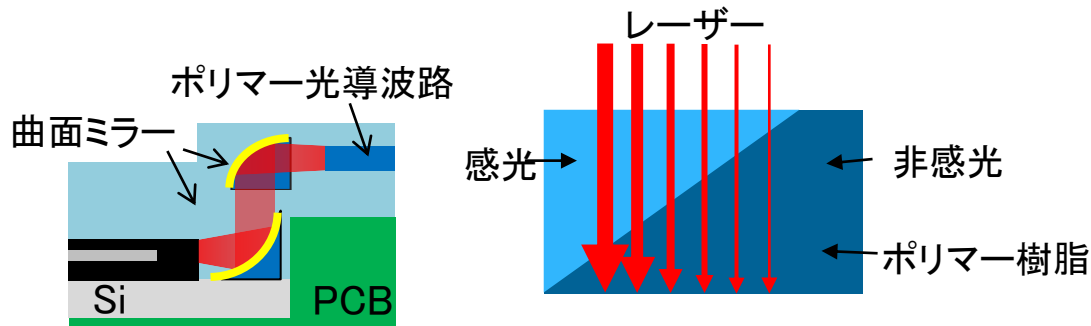
曲面ミラー



3次元ミラーの作製方法

■ グレースケール露光を用いた3次元立体構造の作製

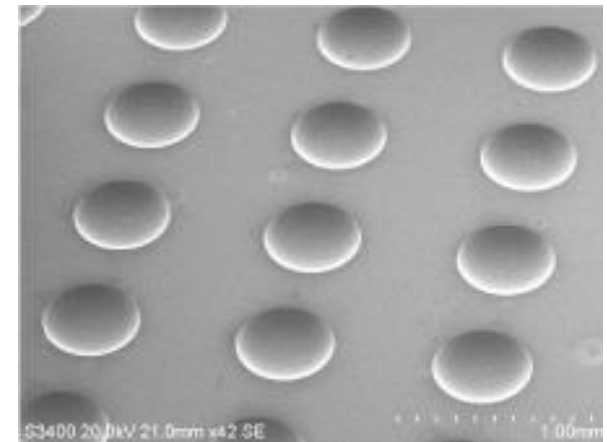
レーザー描画を用いた曲面ミラー作製



レーザー強度で感光量を変え、
現像後にポリマー樹脂が立体化

- ・任意の3次元ミラーが作製可能となり、
高効率な光結合を実現
- ・露光プロセスで高精度な位置決めが可能
(上下ミラー、ポリマー光導波路)

レンズ形状作製例



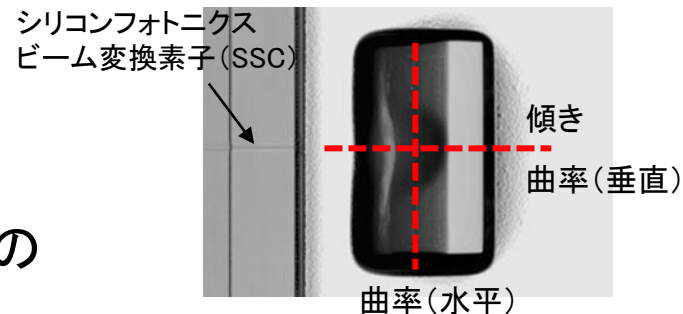
3次元ミラーの作製課題

光実装技術

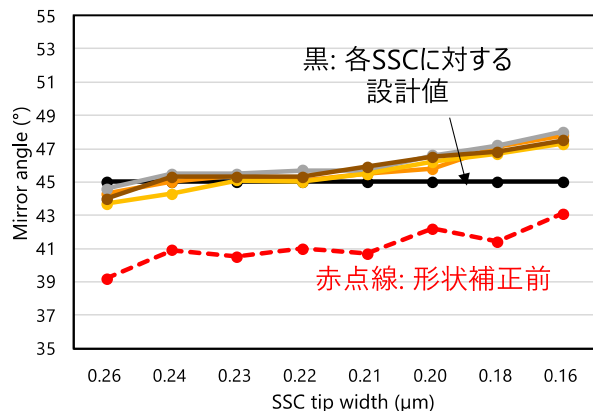
課題: 熱硬化(キュア)等のプロセス中に形状変化



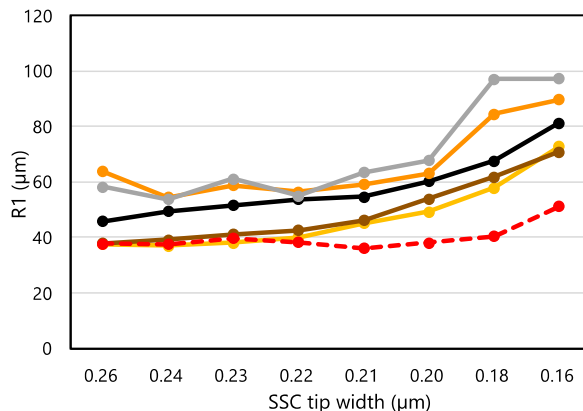
形状変化を考慮したデザイン補正を行うことで所望の構造を実現



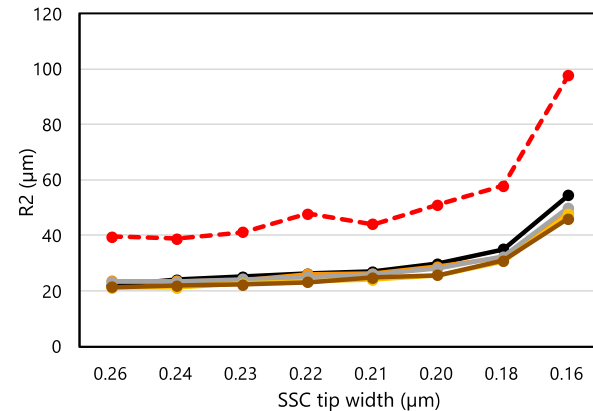
傾き



曲率半径(垂直方向)



曲率半径(水平方向)

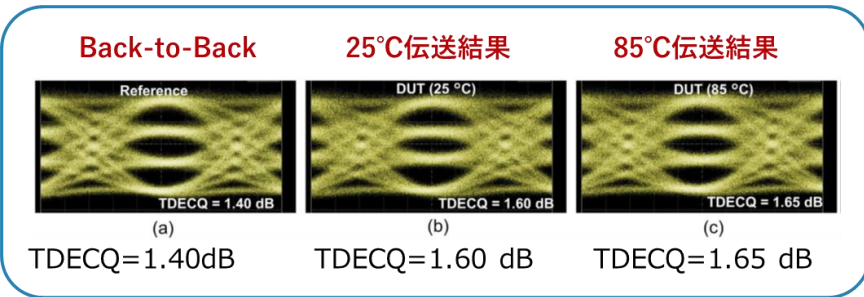
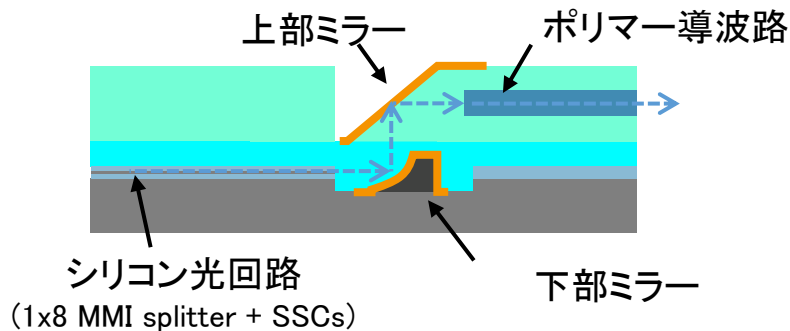
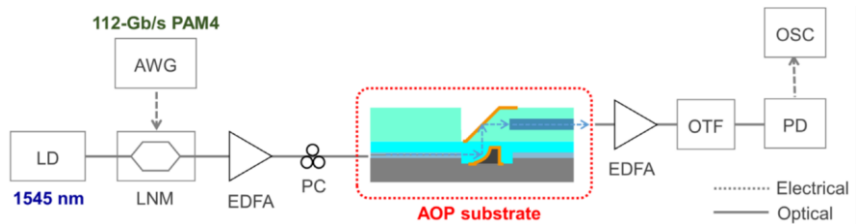
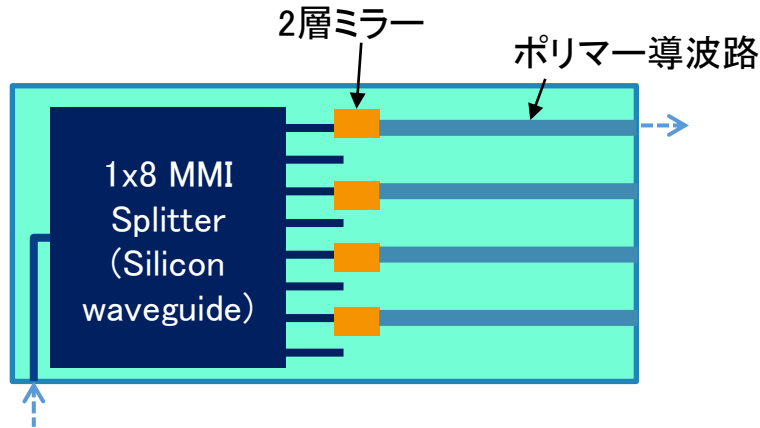


- ・8種類のシリコンSSCに対応した3次元ミラー構造(最小曲率半径:20μm)を作製
- ・水平方向では±5.0%以下のばらつきを実現。垂直方向±25.8%、角度方向±1.0%
(ロス0.5dBの許容ばらつき範囲例: 曲率(水平)±21%、曲率(垂直)±23%、角度±1.1%。
※SSC tip 200nm width)

光電子集積インターポーザ基板の試作

光実装技術

- 160nm先端幅のSSCを持つシリコン導波路に適した上下ミラーとポリマー光導波路を集積した光電子集積インターポーザ基板を試作し、ミラー損失測定
⇒ 上下ミラー (2.85dB) + ポリマー導波路 (0.35dB) で3.2dBの低損失化を実現
- 85°Cまで良好な112Gbps伝送特性を実現



85°C、112Gbps光リンク計測

光電子集積インターポーザ基板の構造図

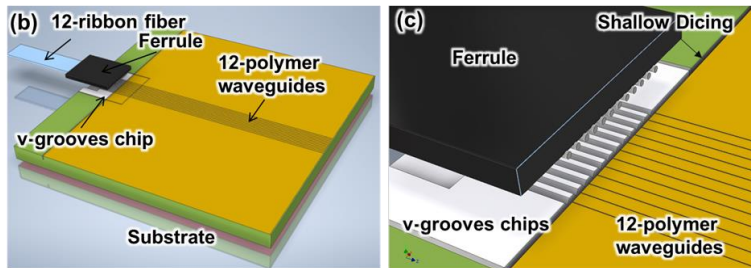
光電子集積インターポーザ用光コネクタ

光実装技術

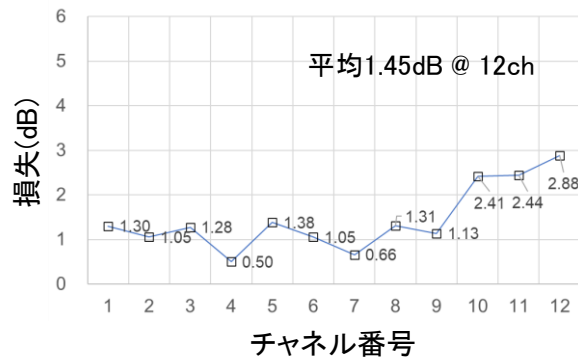
■ 光電子集積インターポーザ用に2種類の光コネクタを検討

■ 高信頼シリコンV溝コネクタ

シリコンV溝を基板に埋め込み、それを目印に導波路を製作

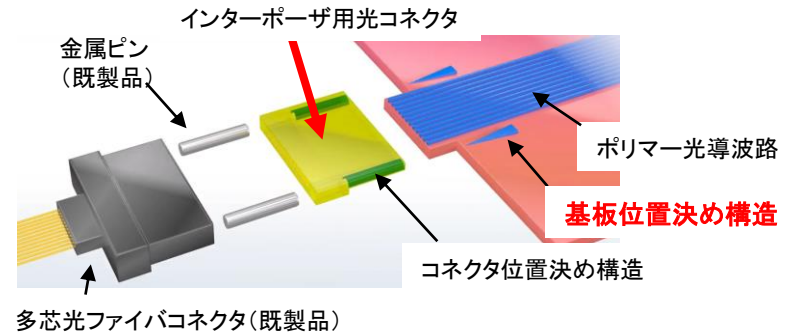


結合損失

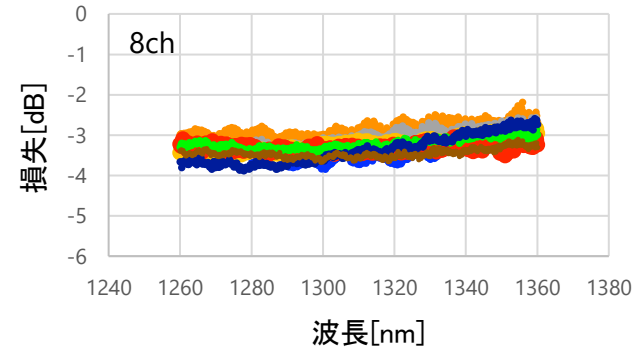


■ 低コスト樹脂コネクタ

基板位置決め構造、コネクタ位置決め構造、金属ピンが一直線となる機構



結合損失



- シリコンV溝及び樹脂コネクタを用いて多芯光接続を実現
- シリコンV溝タイプでは平均2dB@12chの接続損失を実現

光電子集積インターポータのベンチマーク

■ PETRA、Ayar Labs、Ciscoはシリフォト集積チップをタイル方式でLSIチップの周辺に配置する方式

■ 消費電力の削減とI/O密度の増大が重要。更に、光ファイバー数増加に伴う、接続問題の解決が重要になる。

| 社名 | PETRA ¹⁾ | Ayar Labs ²⁾ | Cisco Systems ³⁾ |
|--------------|---|---|---|
| 全体外形 | <p>1.6Tbpsシリコンフォトニクス集積回路トランシーバ (112Gbps PAM4 × 16波長) 80mm ドライバIC スイッチASIC MTフェール互換光コネクタ 3次元曲面ミラー シングルモードポリマー導波路</p> | | |
| 光エンジン | <p>SiGe-EAM変調器 16波長多重光回路 Ge受光器 3次元曲面ミラー ポリマー導波路 シリコンフォトニクス 回路基板 光コネクタ</p> | <p>Optical Chiplet (TeraPHY) Fiber-to-Chip Couplers Optical Micros Electrical Interface (AIB)</p> | <p>Optical Tile</p> |
| 1チップ当たりの伝送容量 | 1.6T (16λ × 112Gbps PAM4) | 1.6T (8 × 8λ × 25Gbps NRZ) | 12.8T (32 × 400G) (400G=4(λ) × 100G PAM4) |
| 消費電力 | 1mW/Gbps (シミュレーション) | <5mW/Gbps | ~9mW/Gbps (Target) |
| I/O密度 | >2Tbps/mm (20Tbps/mm ²) | 1Tbps/mm | — |
| コスト | ○光コネクタ数削減で低コスト化 | ×光コネクタ数大 | ×光コネクタ数大 |
| 変調器 | GeSI-EAM (低消費電力化) 112Gbps | Siリング変調器 25Gbps | Si-MZ変調器(セグメント型) 100Gbps |
| 受光器 | 導波路型Ge受光器 | リング型SiGe受光器 | 導波路型Ge受光器 |
| MUX/DeMUX | AMZI+AWG 16波長 | リング 8波長 | カスケードリング 4波長 |
| LD | 外部光源 | 外部光源 (Super Nova) | 外部光源 |
| 光接続 | ポリマーミラー+ポリマー導波路 (Fanoutによるコネクタ数削減) | 回折格子 | 回折格子 |
| 電気接続 | ポリマー多層配線 (3D基板埋込) | 光電子モノリシック回路のためフレキシブル | C4 bump (~150μm pitch) (SiPh-基板間はTSV) |

1) 中村, 電子情報通信学会論文誌C, vol. J104-C, No. 8, pp. 1-7, 2021.
2) M. Wade, HotChips 2019.
3) B. Welch, EPIC Online Technology Meeting on Co-Packaged Optics, 2020.

まとめ

デバイス技術

- 光変調器、受光器及びこれらを駆動する電子回路の112Gbps PAM4動作を実証した。
- 16波長を合分波可能な波長多重フィルタを開発し、低損失、低クロストーク特性を実証した。
- 22nm CMOSを用いた解析で1mW/Gbpsの低消費電力化の目途を得た。

集積プロセス技術

- 300mm統合プロセスを確立し、これを用いた10Tbps/ノード可能性実証試作を完了した。
- 集積プロセスの一貫試作ファンドリへの展開を完了した。
- ウエハプローバを用いた設計・プロセス統合ライブラリを構築し、ばらつきモデルによる設計・プロセスの高信頼化を実現した。

光実装技術

- 3次元ミラーを用いて光電子集積インターポーザを試作し、シリフォト光入出力密度20Tbps/mm²と10Tbps 伝送密度の光リンクを実証した。
- シングルモードポリマー光導波路アレイとシングルモード光ファイバアレイの12芯高精度光結合(平均<2dB)を実証した。

以上より、プロジェクト目標を全て達成した。