## 1.2.6 研究開発項目②-2「バースト多値プロセッサの研究開発」

【成果の概要】

光電ハイブリッドスイッチシステムプロジェクトにおいて、本研究開発項目では光 Top of Rack (ToR) スイッチおよび光波長送受信器の構成要素であるバースト多値プロセッサの研究開発を進め てきた。バースト多値プロセッサは、光波長送受信器の送信側において多値コヒーレント光信号を生 成するための多値信号を生成し、バースト状の受信光信号を受信側で復調するためのデジタル信号処 理回路である。バースト多値プロセッサの研究開発では、伝送容量を拡大する光多値変復調と不均一 なタイミングの短い信号継続時間をもつ光バースト信号に対応可能な高速応答を同時に実現する。本 項では、バースト多値プロセッサの段階的な試作とその評価結果およびシステム検証により、バース ト多値プロセッサが多値化による伝送容量拡大と高速バースト応答を同時に実現し、光電ハイブリッ ドスイッチシステムで動作可能なことを実証した成果について下記項目を中心に報告する。

- ・バースト多値プロセッサ実現の課題設定とアプローチ
- ・シミュレーションによる検討
- ・バースト多値プロセッサ部分試作
- ・バースト多値プロセッサー次試作
- ・バースト多値プロセッサ改良試作
- ・バースト多値プロセッサ先導試作
- ・バースト多値プロセッサ最終試作

【最終目標】

研究開発項目⑤の試験結果に基づき、バースト多値プロセッサの性能向上に向けてファームウェア の最適化を行い、バースト多値プロセッサの技術を確立する。

200Gbps モードでのバースト応答時間 100µs、400Gbps モードでの送受信動作確認及びバースト応 答時間評価を数値目標とする。

【成果】

<バースト多値プロセッサ実現の課題設定とアプローチ>

図 1.2.6-1 にバースト多値プロセッサが処理する光信号をイラストで示す。本図では、説明を容易 にするために光 ToR スイッチおよびその構成要素である光波長送受信器、これに実装されるバース ト多値プロセッサを送信部・受信部の機能に分離して説明しているが、実際の光 ToR スイッチ、光 波長送受信器およびバースト多値プロセッサは送信部と受信部が一体構成である。送信側の光波長 送受信器内に組み込まれたバースト多値プロセッサでは、送出すべきフロー長のデータを信号フレ ームに収容し、パイロット信号やフレーム同期信号、誤り訂正符号等のオーバヘッド情報を付加 し、光波長送受信器内の変調器/ドライバに送出する。送信側の光波長送受信器は、定められた光 波長が個別に割り当てられており、その固定光波長にバースト状の多値光信号変調を行い、コント ローラから指示されたタイミングで送信光バースト信号として光コアスイッチに伝送する。

光コアスイッチは、コントローラの指示により送信された光バースト信号の経路の切替処理を行い、宛先の光 ToR スイッチに光バースト信号を伝送する。この図では、波長 λ1 が割り当てられた 光 ToR スイッチ #1、波長 λ2 が割り当てられた光 ToR スイッチ #2、波長 λ3 が割り当てられた光 ToR スイッチ#3から送信された光バースト信号が順次、光コアスイッチにより経路切替が行われ、宛先である光 ToR スイッチ#N の受信側に到達している例を示している。

受信側では、光波長送受信器内に組み込まれたバースト対応コヒーレント受信器によりバースト 信号を受信するが、その際、コントローラの指示により局発光の波長を高速に可変させ、受信すべ き光バースト信号の波長と一致させる制御を行い、必要な光バースト信号のみを選択受信する。受 信される光バースト信号は、フロー長に対応した任意の信号継続時間を持ち、また、光 ToR スイッ チ/光コアスイッチの切替時間及び伝搬遅延時間が経路により異なるため、光バースト信号間の間隔 は一定ではない。さらに、送信出力パワー、光コアスイッチの挿入損失等のばらつきにより、光信 号の受信パワーが変化する。このように、光波長送受信器に入力される光バースト信号は、信号継 続時間/タイミング(バースト信号間隔)/光受信パワーが変動する信号を受信する必要があり、 従来の幹線用多値コヒーレント処理回路とは、全く異なる新たな技術が必要となる。従来の幹線用 多値コヒーレント処理回路は、連続的な光信号を扱うため、初期に長い時間をかけて送信部と受信 部の各種調整が可能であり、加えて運用時においても、入力信号のパワー変動状態をモニタし、そ の状態に応じてフィードバック的に信号再生処理パラメータを設定できる。また、入力信号のタイ ミングは連続信号であるため常に一定である。一方、今回開発するバースト多値プロセッサは、上 記のとおり信号継続時間/タイミング(バースト信号間隔)/光受信パワーが変動する信号を受信 する。このため、バースト信号が入力した直後に受信パワー補正、信号再生処理パラメータ等を高 速に設定し、復調を行う新しい機能・特性が必要となる。



図 1.2.6-1 バースト多値プロセッサが処理する光信号

図 1.2.6-2 に、バースト多値プロセッサの機能ブロック構成を示す。光バースト信号を安定に送受 信するための新たな機能ブロックは、①バースト信号推定回路、②高速伝送路推定回路、③バースト 適応制御回路、の3項目である。まず、これ以外のブロックの機能について左側から概説する。レー ン数変換回路は、ラック内の信号伝送形式とプロセッサ内部での伝送形式を変換する回路である。ラ ック内信号伝送形式は、IEEE 標準のイーサネット信号(100G~1Tbps)を想定している。また、プ ロセッサ内部では、イーサネット信号を、CMOS 論理回路が動作可能な数百 Mbpsの速度に落とした 数百レーンの並列伝送形式に変換する。次のイーサ処理回路は、イーサネット信号に含まれる各種モ ニタ機能へのアクセス処理を行う回路である。低遅延誤り訂正回路は、誤り訂正のための符号化・復 号化を行う回路である。多値処理回路は、2 値のデジタル信号と 16QAM (Quadrature Amplitude Modulation)等の多値信号を相互に変換する回路である。また、ADC (Analog to Digital Converter) / DAC (Digital to Analog Converter)、変調器/ドライバ、コヒーレント受信器の非線形特性の補正機能 を有している。等化回路は、送信部・受信部で発生する各種特性劣化および伝送路・光コアスイッチ 等で発生する偏波状態・偏波変動や偏波モード分散等の補償を行う回路である。DAC は、バースト 多値送信信号を出力し、光波長送受信器内のバースト対応変調器ドライバに接続される。ADC は、 光波長送受信器内のバースト対応コヒーレント受信器から出力されるバースト多値受信信号を入力 デジタル信号に変換する。なお、ADC/DAC の手前にあるレーン数変換回路は、ADC/DAC の4チ ャンネルの入出力(X 偏波/Y 偏波それぞれに位相平面上の同相成分 I/直交成分 Q の信号を割り当 てるので XI,XQ,YI,YQ の4チャンネルとなる)をプロセッサ内部の伝送形式に変換するブロックで ある。次に、バースト信号に対応するための新たな機能ブロックについて説明する。



図 1.2.6-2 バースト多値プロセッサの機能ブロック構成

① バースト信号推定回路

高速な信号フレーム先頭位置検出、信号フレーム同期回路により、バースト信号の到来・継続・ 収束を判定する機能を実現する。これらの判定結果を、③バースト適用制御回路に送り、各機能ブ ロックの制御を行う。

## ② 高速伝送路推定回路

高速に伝送路の特性を推定する各種モニタ機能を実現する。伝送路の特性としては、偏波状態・ 偏波変動、偏波モード分散等のモニタを行う。モニタ手法としては、オーバヘッド信号を用いたト レーニング検出方式や、等化回路のデジタルフィルタの係数収束状態等を用いる。各種モニタ機能 の検出速度、検出精度、電力には、トレードオフの関係があるため、光波長送受信器に要求される 仕様を明確にし、高速伝送路推定回路の設計最適化を行う。 ③ バースト適応制御回路

上記、①バースト信号推定回路、②高速伝送路推定回路の判定結果に基づいて、バースト信号の 到来・継続・収束に応じて等化回路、多値処理回路、低遅延誤り訂正回路の各ブロックを高速に制 御する信号を生成する機能を持つ。各ブロックは、高速に機能の停止・再開が可能なように機能実 装し、バースト適用回路の指示に応じて自動的に機能の停止・再開およびパラメータの再設定制御 を行うことで、バースト信号に対応させる。

図1.2.6-3 にバースト多値プロセッサの研究開発の計画と実績を示す。2018 年度には 16nm プロセ スで部分試作を実施し、2019 年度に部分試作チップを評価して応答時間の検証と課題抽出を行っ た。部分試作チップでは従来の 1/10 程度である 500µs の応答時間を達成した。並行して 2018 年度 から 2019 年度にかけて 7nm プロセスで統合設計した一次試作を実施し、2020 年度に一次試作チッ プを評価して目標である 100µs の応答時間を達成した。また、2019 年度から 2020 年度にかけてク ライアントインタフェースや制御インタフェースを追加した改良試作、2020 年度には並行して 400Gbps 化を加速させる先導試作を実施した。改良試作チップ、先導試作チップは 2021 年度に評価 を実施し、両試作チップの機能・性能を融合させた最終試作を実施した。2022 年度には最終試作チ ップの評価を実施し、光変復調評価ボードへ搭載してシステムへ組み込み、システム検証および映 像デモを実施した。これによりバースト多値プロセッサが光電ハイブリッドSWシステムで動作す ることを実証した。



図 1.2.6-3 バースト多値プロセッサの研究開発の計画と実績

<シミュレーションによる検討>

図 1.2.6-4 にバースト多値プロセッサのバースト信号対応のための追加機能ブロックの動作を示す。 ①バースト信号推定回路はフレーム先頭位置を高速に検出し、信号の継続や収束を判定する。②高速 伝送路推定回路は受信信号から伝送路特性を高速に推定し、短時間で伝送路状態に合わせた信号受信 を可能とする。③バースト適応制御回路は上記①、②の回路の出力を利用して既存回路ブロックを制 御する。①バースト信号推定回路、②高速伝送路推定回路、および③バースト適応制御回路のシミュ レーションモデルを作成し、バースト信号対応のための追加機能ブロックの基本動作をシミュレーションにより確認した。



図 1.2.6-4 バースト信号対応のための追加機能ブロックの動作

図 1.2.6-5 に①バースト信号推定回路によるフレーム先頭位置検出のシミュレーション結果を示す。 横軸は設定したフレーム先頭時刻(x10<sup>6</sup> sample)、縦軸はバースト信号推定回路で検出したフレーム 先頭時刻の推定値(x10<sup>6</sup> sample)である。フレーム先頭時刻の推定値(橙色のプロット)が期待値 (青色のプロット)と重なっていることが分かる。フレーム先頭時刻の推定値は期待値に対して目標 値の 256 sample 以内であることを確認した。

図 1.2.6-6 に②高速伝送路推定回路による偏波状態推定のシミュレーション結果を示す。横軸は処 理時間(µsec)、縦軸は推定誤差(相対値)である。収束判定閾値は推定誤差(相対値)0.4 を想定し ており、図中に赤い点線で示している。高速伝送路推定回路 OFF(橙色のプロット)では 16µsec 程 度の時間を要しているが、バースト信号対応の高速伝送路推定回路 ON(青色のプロット)では 2µsec 以下の時間で収束しており、バースト信号非対応の従来回路に比べて 8 倍以上高速に受信信号 の偏波状態を推定できていることが分かる。



図 1.2.6-5 フレーム先頭位置検出のシミュレーション結果



図 1.2.6-6 偏波状態推定のシミュレーション結果

バースト多値プロセッサの応答時間(引き込み時間)はバースト信号推定回路や高速伝送路推定 回路の推定精度とトレードオフの関係があり、高速応答させようとすると推定誤差が大きくなり、推 定精度を上げようとすると応答速度が低下する。また、応答時間(引き込み時間)は光信号のボーレ ートと相関関係があり、同じ200Gbpsの光信号でも変調フォーマットによってボーレートが異なるた め応答時間(引き込み時間)は変調フォーマットに依存する。今回シミュレーションにより、バース ト多値プロセッサの応答時間(引き込み時間)を高速モード(推定誤差は大きい)と高精度モード (応答速度は低い)それぞれについて3つの変調フォーマット(16QAM, 8QAM, QPSK(Quadrature Phase Shift Keying))について相対値で評価した。

表 1.2.6-1 に高精度モードの引き込み時間(相対値)、表 1.2.6-2 に高速モードの引き込み時間(相対値)を示す。すべてビットレートは200Gbpsである。ビットレートが同じであれば 8QAM と QPSK のボーレートは16QAM に対してそれぞれ 4/3 倍、2 倍であり、引き込み時間はほぼボーレートに反比例していることが分かる。また、同じ変調フォーマットで比較すると高精度モードの引き込み時間は 高精度モードの約2倍となっている。

高精度モード	
変調フォーマット	引き込み時間(相対値)
16QAM	基準
8QAM	0.76
QPSK	0.52

表 1.2.6-1 高精度モードの引き込み時間のシミュレーション結果(相対値)

表 1.2.6-2 高速モードの引き込み時間のシミュレーション結果(相対値)

高速モード	
変調フォーマット	引き込み時間(相対値)
16QAM	0.48
8QAM	0.38
QPSK	0.27

<バースト多値プロセッサ部分試作>

バースト多値プロセッサのバースト信号対応のための追加機能ブロックの動作を確認するため、 既存のデジタル信号処理回路に追加機能ブロックを搭載した部分回路試作を 16nm プロセスにより実施した。図 1.2.6-7 バースト多値プロセッサ部分試作の機能ブロック構成を示す。図に示すように既存回路ブロックには手を入れず、バースト信号対応回路ブロックを新たに追加する構成とした。



図 1.2.6-7 バースト多値プロセッサ部分試作の機能ブロック構成

図 1.2.6-8 にバースト多値プロセッサ部分試作チップと評価系の写真を示す。評価ボードは電源系、 クロック系、制御系およびバースト多値プロセッサ搭載用のソケットを備える。ソケットの上部には バースト多値プロセッサの冷却のためのファンが取り付けられている。バースト多値プロセッサのラ イン側のインタフェースは基板上の高周波配線を介して同軸コネクタに接続されている。部分試作チ ップの評価は、送信側と受信側の同軸コネクタを同軸ケーブルで接続する電気折り返し接続で実施し た。接続に使用した同軸ケーブルは、XI成分、XQ成分、YI成分、YQ成分それぞれ非反転(Positive) /反転(Negative)データの合計 8 本を使用した。

応答時間の測定は、バースト多値プロセッサ内部に搭載した各機能ブロックの引き込み時間モニ タ機能を使って実施した。具体的には、制御用 PC からバースト多値プロセッサに再同期コマンドを 送出し、引き込み終了後に内部レジスタに記録された各機能ブロックの引き込み時間を読み出すとい う手順で評価を実施した。図 1.2.6-9 にバースト多値プロセッサ部分試作チップによる応答時間評価



図 1.2.6-8 バースト多値プロセッサ部分試作チップと評価系



図 1.2.6-9 バースト多値プロセッサ部分試作チップによる応答時間評価結果

結果を示す。図中の A はバースト信号対応回路ブロック①バースト信号推定回路、②高速伝送路 推定回路、③バースト適応制御回路をすべて ON にした状態、B はさらに③バースト適応制御回路の パラメータ(状態遷移の閾値・保護段など)を最適化した状態、C はさらに①バースト信号推定回路 のパラメータ(内部ブロックの動作設定など)を最適化した状態、D はさらに②高速伝送路推定回路 のパラメータ(内部ブロックの動作設定など)を最適化した状態である。バースト信号対応回路ブロ ック①、②、③をすべて OFF にした状態(バースト未対応の従来品に相当)では、5msを超える応答 時間であったが、A の条件では 2.5ms 強、B の条件では 2ms 以下、C の条件では 1.5ms 以下、そして D の条件では 0.5ms(500µs)程度まで応答時間が短縮できることを確認した。 <バースト多値プロセッサー次試作>

バースト多値プロセッサの応答時間のさらなる短縮を目指して、一次試作ではバースト信号対応 回路ブロックに加えて、部分試作で手を入れなかった既存回路ブロックも含めて 7nm プロセスによ り統合回路設計を行った。図 1.2.6-10 バースト多値プロセッサー次試作の機能ブロック構成を示す。 機能ブロック構成は部分試作と同一であるが、7nm プロセス化を採用するにあたり全体的に回路設計 を見直して冗長な部分を削除することにより応答時間の短縮を図った。

図1.2.6-11にバースト多値プロセッサー次試作チップと評価ボードの写真を示す。評価ボードの機 能集約を進めて、部分試作チップの評価ボードに比べてコンパクトなサイズを実現した。本評価ボー ドではバースト多値プロセッサの安定した特性評価を実現するため、ソケットではなく一次試作チッ プを基板に直接半田実装した。ライン側のインタフェースは部分試作と同様に同軸コネクタを採用し、 同軸ケーブルによる電気折り返し接続で評価を実施した。



図 1.2.6-10 バースト多値プロセッサー次試作の機能ブロック構成



図 1.2.6-11 バースト多値プロセッサー次試作チップと評価ボード

図 1.2.6-12 にバースト多値プロセッサー次試作チップ評価ボードの電気折り返し接続による 200Gbps, 偏波多重 16QAM (DP-16QAM) 信号のコンスタレーションを示す。コンスタレーションは

位相平面上での信号点の状態を表しており、16QAM 信号では同相(I)成分、直交(Q)成分がそれぞれ4 値の振幅をもつため図のように 16 個の信号点をもつ。バースト多値プロセッサは誤り訂正符号化/ 復号化機能を有しており、誤り訂正復号化後に符号誤り率がゼロ(エラーフリー)となることを確認 した。



図 1.2.6-12 一次試作チップの電気折り返しによる 200Gbps, DP-16QAM 信号コンスタレーション

さらに図 1.2.6-11 の評価ボードを用いてバースト多値プロセッサー次試作チップのバースト応答時 間の評価を実施した。図 1.2.6-13 に応答時間評価結果を示す。(a)はバース値多値プロセッサに入力さ れるバースト信号の波形、(b)はバースト多値プロセッサが入力信号に対して同期外れ状態を示す同 期アラーム波形をそれぞれ模式的に描いたものである。実際にはバースト信号入力検出を示すトリガ 信号を PC からのコマンドでバースト多値プロセッサに入力し、バースト多値プロセッサ内部に搭載 した各機能ブロックの引き込み時間モニタ機能を使って応答時間を測定した。このとき図 1.2.6-10 の ①バースト信号推定回路、②高速伝送路推定回路、③バースト適応制御回路はすべて ON として、そ れぞれパラメータの最適化を行った。バースト引き込みを 10 回実施して応答時間を測定したところ、 測定毎のばらつきが見られたが平均で 94.5µs となり目標である 100µs 以下を達成した。



図 1.2.6-13 バースト多値プロセッサー次試作による応答時間測定結果

<バースト多値プロセッサ改良試作>

光電ハイブリッドスイッチシステムでは、バースト多値プロセッサは光波長送受信器の一部とし て光ToRスイッチを構成する。システム検証を実施するためにはライン側の主信号のインタフェース だけでなく、イーサスイッチなどと接続するクライアント側インタフェース、バースト制御のための 制御信号インタフェースなどが必要になる。改良試作ではそれらのインタフェースをバースト信号に 対応するように一部改良設計を実施した。また、バースト多値プロセッサの応答時間を直接的に観測 するために同期アラームモニタインタフェースを設けた。図 1.2.6-14 にバースト多値プロセッサ改良 試作の機能ブロック構成を示す。



図 1.2.6-14 バースト多値プロセッサ改良試作の機能ブロック構成

図 1.2.6-15 にバースト多値プロセッサ改良試作チップと光変復調機能付き評価ボードの写真を示 す。一次試作まではライン側の高速インタフェースは同軸コネクタであり、光信号を生成するために は別途光変調器などの光学部品を用意して同軸ケーブルで接続しなければならなかった。そこで改良 試作と並行して光変復調機能をもつバースト多値プロセッサ評価ボードを試作した。光変復調機能付 き評価ボードは、これまでの同軸コネクタインタフェースの評価ボードに高周波特性を考慮して光学 部品を最短距離で実装できるように再設計したものである。バースト多値プロセッサの送信側の4チ ャネルのインタフェース(XI, XQ, YI, YQ) はそれぞれドライバアンプを介して光変調器に接続され る。受信側インタフェースには ICR (Integrated Coherent Receiver)で光電変換された4チャネルの信 号(XI, XQ, YI, YQ)が入力される。また、光学部には送信光源用とコヒーレント受信用ローカル光 源用として2つの ITLA (Integrable Tunable Laser Assembly)を搭載している。光学部を評価ボードに 一体化することにより、安定した光送受信が可能になった。

図 1.2.6-16 に光変復調機能付き評価ボードで生成したバースト多値プロセッサ改良試作による 200Gbps, DP-16QAM 光信号スペクトルを示す。一次試作までは電気信号折り返しでの評価であった が、今回初めて光信号を生成して光信号折り返しでの評価が可能となった。図 1.2.6-17 バースト多値 プロセッサ改良試作による 200Gbps, DP-16QAM 光信号コンスタレーションを示す。光信号折り返し 接続により信号疎通すなわち誤り訂正復号後のエラーフリー動作を確認した。



図 1.2.6-15 バースト多値プロセッサ改良試作チップと光変復調機能付き評価ボード



図 1.2.6-16 バースト多値プロセッサ改良試作チップによる 200Gbps, DP-16QAM 光信号スペクトル



図 1.2.6-17 バースト多値プロセッサ改良試作チップによる 200Gbps, DP-16QAM 光信号コンスタレ ーション

光信号によるバースト多値プロセッサ評価を行うため、改良試作チップを搭載した光変復調ボードを2台用意して市販の光スイッチで経路を切り替えられる評価系を構築した。図 1.2.6-18 にバースト多値プロセッサ改良試作によるバースト信号評価系の写真を示す。



図 1.2.6-18 バースト多値プロセッサ改良試作によるバースト信号評価系

一方、これまでバースト多値プロセッサの応答時間は、バースト多値プロセッサ内部の引き込み 時間モニタ機能を使って行っていたが、同期アラーム波形による外部から見たより客観的な応答時間 の測定を実現すべく測定系を構築した。図 1.2.6-19 にバースト多値プロセッサ改良試作による同期ア ラーム波形測定系構成を示す。PC から評価ボード搭載した FPGA 経由でバースト多値プロセッサに 再同期トリガを与える構成は従来と同じであるが、新たにバースト多値プロセッサのハードウェアピ ンから同期アラーム波形を出力できるようにファームウェアを改修してオシロスコープでモニタでき る測定系を構築した。



図 1.2.6-19 バースト多値プロセッサ改良試作による同期アラーム波形測定系構成

図 1.2.6-20 にオシロスコープ観測した再同期トリガ波形と同期アラーム波形を示す。(a)は再同期 トリガ波形で立ち下がりエッジでバースト多値プロセッサに再同期トリガがかかる。(b)は同期アラ ーム波形で"High"が同期外れアラーム発出状態、"Low"が同期外れアラーム解除状態である。再同期 トリガ、同期アラーム波形がオシロスコープで期待通りに観測できることを確認した。

このアラーム波形測定系を用いてバースト多値プロセッサの応答時間を測定した結果を示したの が図 1.2.6-21 である。再同期トリガ波形が立ち下がりエッジから少し遅れて同期アラーム波形 が"High"から"Low"に下がっていることが分かる。この時間差が外部から客観的に観測されるバース ト多値プロセッサの応答時間であり、これ以降の応答時間測定にはこの測定方法を使用する。



図 1.2.6-20 オシロスコープ観測した再同期トリガ波形と同期アラーム波形



図 1.2.6-21 同期アラーム波形による応答時間測定例

バースト多値プロセッサ改良試作チップの応答時間について、アラーム解除時間の設定を 1,10, 100(相対値)と変えて測定を行った。応答時間測定には光変復調機能付き評価ボードを使用し、市 販の光スイッチで光バースト信号を模擬的に発生させた。

図 1.2.6-22 に 200Gbps, DP-QPSK 信号のアラーム解除時間設定 1 (相対値) での応答時間測定結果 を示す。アラーム解除時間を短くすると応答時間を短くできるが、安定した引き込みができなくなる ため両者のバランスを考慮する必要がある。ばらつきや安定性を確認するため、10 回測定(試験#1 ~#10)を実施した。試験#1, #4, #5, #6, #9 の結果を見ると、再同期トリガと同時に同期アラームが解 除されているように見える。これらの状態では誤り訂正後でも符号誤り率がエラーフリーとなってお らず、バースト多値プロセッサが再同期(引き込み)に失敗していることが分かった。

図 1.2.6-23 に 200Gbps, DP-QPSK 信号のアラーム解除時間設定 10(相対値) での応答時間測定結果

を示す。10回測定して、アラーム解除時間設定1(相対値)の場合に見られた再同期トリガと同時に 同期アラームが解除される現象は見られず、比較的安定して引き込みが行われていることが確認でき た。同様に、図 1.2.6-24 に 200Gbps, DP-QPSK 信号のアラーム解除時間設定 100(相対値)での応答 時間測定結果を示す。アラーム解除時間設定 100(相対値)の場合もアラーム解除時間設定 10(相対 値)の場合と同様に安定した引き込みが確認できた。



図 1.2.6-22 応答時間測定結果(200Gbps, DP-QPSK, アラーム解除時間設定 1(相対値))



図 1.2.6-23 応答時間測定結果(200Gbps, DP-QPSK, アラーム解除時間設定 10(相対値))



図 1.2.6-24 応答時間測定結果(200Gbps, DP-QPSK, アラーム解除時間設定 100(相対値))

図1.2.6-25 にアラーム解除時間設定の3条件1,10,100(相対値)で測定した200Gbps,DP-QPSKでの応答時間をまとめた結果を示す。アラーム解除時間設定1(相対値)では10回測定中5回引き込みに失敗していることが分かる。アラーム解除時間設定10,100(相対値)では10回測定すべてにおいて引き込みに成功して応答時間を測定することができている。応答時間を見ると、アラーム解除時間 設定1(相対値)と10(相対値)ではほとんど変わってない一方、アラーム開示時間設定100(装置値)では応答時間が20µsほど大きくなっていることが分かる。



図 1.2.6-25 応答時間のアラーム解除時間依存性(200Gbps, DP-QPSK)

<バースト多値プロセッサ先導試作>

バースト多値プロセッサは当初 200Gbps の動作速度をターゲットにしていたが、市場動向を勘案 して 400Gbps 化を加速するため改良試作の直後のタイミングで先導試作を実施した。図 1.2.6-26 にバ ースト多値プロセッサ先導試作の機能ブロック構成を示す。400Gbps に対応するため回路全体を高速 化・大容量化に向けて見直した。400Gbps 化を目指した先導試作は前述の改良試作と一部並行して検 討を進めたため、バースト信号対応回路ブロックについては確実性を重視して一次試作までの成果を 反映させた設計とした。



図 1.2.6-26 バースト多値プロセッサ先導試作の機能ブロック構成

図 1.2.6-27 にバースト多値プロセッサ先導試作チップおよび光変復調機能付き評価ボードの写真 を示す。図 1.2.6-28 は先導試作チップによる 400Gbps, DP-16QAM 光信号スペクトル、図 1.2.6-29 は同 光信号のコンスタレーションである。0.5nm 幅の信号スペクトルと 16 値のコンスタレーションから 400Gbps 光信号が生成できていることが分かる。この 400Gbps 光信号を送信側から受信側へ折り返し 接続して信号疎通すなわち誤り訂正後のエラーフリー動作を確認した。



図 1.2.6-27 バースト多値プロセッサ先導試作チップと光変復調機能付き評価ボード



図 1.2.6-28 先導試作チップによる 400Gbps, DP-16QAM 光信号スペクトル



図 1.2.6-29 先導試作チップによる 400Gbps, DP-16QAM 光信号コンスタレーション

バースト多値プロセッサ先導試作チップの応答時間について、アラーム解除時間の設定を 10,100 (相対値)とし、さらにフレーム同期保護段数を1,2,3と変えて測定を行った。フレーム同期保護段 数は、同期もしくは同期外れを判定して処理を完了させるために必要な同期パターンの回数を設定す るものである。保護段数が大きいほど誤った同期や誤った同期外れが起こりにくくなり安定するが、 同期や同期外れの判定に時間がかかる。

図 1.2.6-30 に 400Gbps, DP-16QAM 信号のアラーム解除時間設定 10(相対値),フレーム同期後方 保護段数 1 での応答時間測定結果を示す。後方保護はフレーム同期信号でないところでの誤ったフレ ーム同期を防ぐための機構であり、保護段数が大きいほど誤同期が少なくなり安定するが同期引き込 み時間は長くなる。図には10回測定(試験#1~#10)の結果を示したが、アラーム解除時間設定を10

(相対値)としたため改良試作での評価でアラーム解除時間設定1(相対値)のときに見られた引き 込みの失敗は見られていない。図1.2.6-31に10回測定での誤り訂正前符号誤り率(PreFEC-BER)を 示す。2,4,6回目の測定時にPreFEC-BERが大きくなっているのは、フレーム同期後方保護段数が1 と小さいため同期引き込みが安定していないためと考えられる。

図 1.2.6-32 に 400Gbps, DP-16QAM 信号のアラーム解除時間設定 10(相対値),フレーム同期後方 保護段数 2 での応答時間測定結果、図 1.2.6-33 に 10 回測定での誤り訂正前符号誤り率(PreFEC-BER) を示す。図 1.2.6-33 では PreFEC-BER は安定しており、フレーム同期後方保護段数を 2 としたためと 考えられる。

図 1.2.6-34 に 400Gbps, DP-16QAM 信号のアラーム解除時間設定 10(相対値),フレーム同期後方 保護段数 3 での応答時間測定結果、図 1.2.6-35 に 10回測定での誤り訂正前符号誤り率(PreFEC-BER) を示す。フレーム同期後方保護段数 3 の場合も同保護段数 2 の場合と同様に PreFEC-BER が安定して 測定できていることが分かる。



図 1.2.6-30 応答時間測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 10(相対値), フレーム 同期後方保護段数 1)



図 1.2.6-31 PreFEC-BER の 10 回測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 10(相対値), フレーム同期後方保護段数 1)



図 1.2.6-32 応答時間測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 10(相対値), フレーム 同期後方保護段数 2)



図 1.2.6-33 PreFEC-BER の 10 回測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 10(相対値), フレーム同期後方保護段数 2)



図 1.2.6-34 応答時間測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 10(相対値), フレーム 同期後方保護段数 3)



図 1.2.6-35 PreFEC-BER の 10 回測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 10(相対値), フレーム同期後方保護段数 3)

次に、アラーム解除時間設定を100(相対値)として同様の測定を実施した。

図 1.2.6-36 に 400Gbps, DP-16QAM 信号のアラーム解除時間設定 100(相対値),フレーム同期後方 保護段数 1 での応答時間測定結果を示す。図 1.2.6-30 のアラーム解除時間設定 10(相対値)の場合と 同様に引き込みの失敗は見られていない。図 1.2.6-37 に 10回測定での誤り訂正前符号誤り率 (PreFEC-BER)を示す。4,5,8,10回目の測定時に PreFEC-BER が大きくなっているのは、図 1.2.6-31 の場合と同様にフレーム同期後方保護段数が 1 と小さいため同期引き込みが安定していないためと考

えられるが、アラーム解除時間設定 100(相対値)は PreFEC-BER の安定化には寄与していないことが分かる。

図 1.2.6-38 に 400Gbps, DP-16QAM 信号のアラーム解除時間設定 100(相対値), フレーム同期後方 保護段数 2 での応答時間測定結果、図 1.2.6-39 に 10 回測定での誤り訂正前符号誤り率(PreFEC-BER) を示す。図 1.2.6-39 では PreFEC-BER は安定しており、フレーム同期後方保護段数を 2 としたためと 考えられる。

図 1.2.6-40 に 400Gbps, DP-16QAM 信号のアラーム解除時間設定 100(相対値),フレーム同期後方 保護段数 3 での応答時間測定結果、図 1.2.6-41 に 10回測定での誤り訂正前符号誤り率(PreFEC-BER) を示す。フレーム同期後方保護段数 3 の場合も同保護段数 2 の場合と同様に PreFEC-BER が安定して 測定できていることが分かる。



図 1.2.6-36 応答時間測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 100(相対値), フレーム 同期後方保護段数 1)



図 1.2.6-37 PreFEC-BER の 10 回測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 100(相対値), フレーム同期後方保護段数 1)



図 1.2.6-38 応答時間測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 100(相対値), フレーム 同期後方保護段数 2)



図 1.2.6-39 PreFEC-BER の 10 回測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 100(相対値), フレーム同期後方保護段数 2)



図 1.2.6-40 応答時間測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 100(相対値), フレーム 同期後方保護段数 3)



図 1.2.6-41 PreFEC-BER の 10 回測定結果(400Gbps, DP-16QAM, アラーム解除時間設定 100(相対値), フレーム同期後方保護段数 3)

図1.2.6-42に400Gbps, DP-16QAM信号でのフレーム同期後方保護段数と10回測定の平均応答時間の関係を示す。まずここで重要なことは図中のすべての場合において、平均応答時間が100µs以下を 実現している点である。400Gbps動作でも目標の100µs以下を確認することができた。また、アラーム解除時間設定10,100(相対値)両方ともフレーム後方保護段数を増やすと平均応答時間は大きくなる傾向にあることが分かる。さらに、同一のフレーム後方保護段数ではアラーム解除時間設定10(相対値)の場合の方が同設定100(相対値)場合に比べて平均応答時間が短くできることが分かった。



図 1.2.6-42 フレーム同期後方保護段数 vs 平均応答時間(400Gbps, DP-16QAM,)

<バースト多値プロセッサ最終試作>

高速バースト応答特性を実現したバースト多値プロセッサ改良試作と 400Gbps 化を実現した先導 試作の成果を融合させた、バースト多値プロセッサ最終試作を実施した。最終試作は、光電ハイブリ ッドスイッチシステムのシステム検証系および映像伝送デモ系に組み込んで動作させるため、詳細な インタフェース仕様を反映させ設計し試作を行った。

最終試作チップは光変復調ボードに実装され、システム検証系構築に向けて光波長送受信器に組 み込まれるが、その前に光変復調ボードに実装された最終試作チップの評価を実施した。

図 1.2.6-43 にバースト多値プロセッサ最終試作チップの写真、図 1.2.6-44 には最終試作チップによる 400Gbps, DP-16QAM 光信号コンスタレーション、図 1.2.6-45 には 200Gbps, DP-16QAM 光信号コン スタレーション、図 1.2.6-46 には 200Gbps, DP-QPSK 光信号コンスタレーションをそれぞれ示す。



図 1.2.6-43 バースト多値プロセッサ最終試作チップ



図 1.2.6-44 最終試作チップによる 400Gbps, DP-16QAM 光信号コンスタレーション



図 1.2.6-45 最終試作チップによる 200Gbps, DP-16QAM 光信号コンスタレーション



図 1.2.6-46 最終試作チップによる 200Gbps, DP-QPSK 光信号コンスタレーション

図 1.2.6-47 に最終試作チップによる 200Gbps での応答時間測定結果、図 1.2.6-48 最終試作チップに よる 400Gbps での応答時間測定結果のそれぞれの代表データを示す。200Gbps 動作、400Gbps 動作と もに目標である 100µs 以下の応答時間を達成したことを確認した。

Tek "n"	B Ready	M F	Pos: 750.0,0s	CURSOR
	200	)Gbps	250us/div	項目
				時間
	外部トリガ(立ち	下りエッジ)		ナヤイル
1*				0.00000
· · · · · · · · · · · · · · · · · · ·	<del>, .</del>			⇒ 12.50kHz
応答時間	同期アラーム	、(同期=Low)		⇔V 0.00V
21 (81us)				カーソル1

図 1.2.6-47 最終試作チップによる応答時間測定結果(200Gbps)



図 1.2.6-48 最終試作チップによる応答時間測定結果(400Gbps)

光電ハイブリッドスイッチシステム動作を模擬したシステム検証では、イーサフレームなどを使 用してシステムとしてのスイッチング時間の評価を行う。スイッチング時間評価にはバースト多値プ ロセッサのクライアント側同期確立時間も影響するため、バースト多値プロセッサ最終試作チップを 用いてクライアント側同期確立時間の評価を行った。バースト多値プロセッサはクライアント信号と して 100GbE、200GbE を収容することができる。

図 1.2.6-49 に最終試作チップによる 100GbE のクライアント同期確立時間測定結果を示す。ライン 側は 200Gbps でクライアント側は 100GbE x 2 である。黄色の外部トリガと青色のライン側同期アラ ームは、これまでバースト多値プロセッサの応答時間測定で使用した波形であり、赤色の波形がクラ イアント側の同期アラーム信号波形を示している。クライアント側同期確立時間はライン側同期アラ ーム解除からクライアント側同期アラーム解除までの時間であり、この測定例では 870µs であった。

図 1.2.6-50 に最終試作チップによる 200GbE クライアント同期確立時間測定結果を示す。ライン側 は 200Gbps でクライアント側は 200GbE x 1 である。クライアント側同期確立時間(ライン側同期ア ラーム解除からクライアント側同期アラーム解除までの時間)は、この測定例では 230µs であった。 クライアント側を 100GbE から 200GbE に変更することにより、クライアント側同期確立時間を大幅 に削減できることを確認した。



図 1.2.6-49 最終試作チップによるクライアント同期確立時間測定結果(100GbE x 2)



図 1.2.6-50 最終試作チップによるクライアント同期確立時間測定結果(200GbE x 1)

システム検証に先立って、システム検証系の一部を構築してバースト多値プロセッサの動作条件 の調整を行った。図 1.2.6-51 にシステム検証系の部分構成を示す。部分構成系はバースト多値プロセ ッサ送受信ボード#1、バースト多値プロセッサ送受信ボード#2 を搭載した光波長送受信器(光 ToR スイッチ)、市販の2x1光スイッチで構成される。2x1光スイッチはバースト多値プロセッサ送受信ボ ード#1 からの送信光信号(光周波数:192.8THz)とバースト多値プロセッサ送受信ボード#2 からの 送信光信号(光周波数: 192.7THz)を切り替えて、バースト多値プロセッサ送受信ボード#2の受信 側へ入力するように接続されている。光波長送受信器には高速波長切り換え光源が搭載されており、 バースト多値プロセッサ送受信ボード#2 ヘローカル光源として供給される。これによりバースト多 値プロセッサ送受信ボード#2 では受信する光バースト信号の波長によってローカル光源の波長を高 速に切り換えることができる。2x1 光スイッチ、高速波長切り換え光源、バースト多値プロセッサの 再同期は EtherCAT マスタからの EtherCAT 信号により制御する構成となっている。オシロスコープで バースト多値プロセッサの再同期トリガ、同期アラーム、2x1 光スイッチ制御信号を同時にモニタし ている。バースト多値プロセッサの送受信ボード#2 のクライアント側には Client Module を備え、イ ーサフレーム測定器と接続されている。これまではライン側折り返しでの信号疎通(エラーフリー) を確認していたが、本構成ではじめてクライアント側からクライアント側までの折り返しでの信号疎 通 (エラーフリー)を確認した。

図 1.2.6-52 にオシロスコープでモニタした同期トリガ、同期アラーム、2x1 光スイッチ制御のそれ

ぞれの波形の例を示す。バースト多値プロセッサの動作条件を調整して同期アラームの不安定動作を 解消して安定動作を実現した。

図 1.2.6-53 にシステム検証系の写真を示す。バースト多値プロセッサを搭載した光波長送受信器 3 台と光コアスイッチで3ノードのシステム検証系を構築し、制御インタフェースを介して光コアス イッチ、光波長送受信器などとの連携動作を検証することでバースト多値プロセッサの動作を実証し た。



図 1.2.6-51 システム検証系の部分構成



図 1.2.6-52 動作条件調整による同期アラーム波形の安定化



図 1.2.6-53 システム検証系

<まとめ>

伝送容量を拡大する光多値変復調と不均一なタイミングと短い信号継続時間の光バースト信号に対応可能な高速応答を同時に実現するバースト多値プロセッサの研究開発を行った。最終的に試作したバースト多値プロセッサチップは200Gbps/400Gbps両モードでの動作が可能であり、評価ボードに実装して両モードでエラーフリー動作を確認するとともに目標である100µs以下の応答時間を達成した。 さらにバースト多値プロセッサ光送受信ボードを光波長送受信器に組み込み、光電ハイブリッドスイッチシステムのシステム検証を実施した。システム検証の中で制御インタフェースを介して光コアスイッチ、光波長送受信器などとの連携動作を検証することでバースト多値プロセッサの動作を実証し技術を確立した。